

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-235022

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H02M 3/155

(21)Application number : 10-028987

(71)Applicant : SHARP CORP

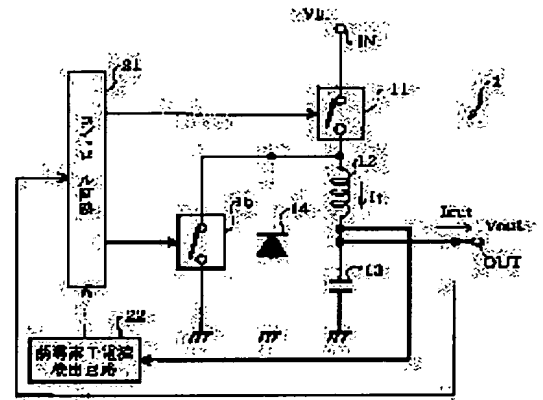
(22)Date of filing : 10.02.1998

(72)Inventor : KONDO KATSUYOSHI

**(54) SYNCHRONIZED RECTIFIER CIRCUIT****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To realize a switching power supply circuit utilizing a synchronized rectifier system having higher conversion efficiency even when the load is small.

**SOLUTION:** When a first switch 11 is turned OFF, a current  $I_L$  of an induction element 12 is maintained with a current communication diode 14, while an induction element 12 releases the accumulated energy when it becomes conductive. A second switch 15 connected in parallel to the current communication diode 14 becomes conductive, in such a manner as not overlapping on the conductive period of the first switch 11. When the second switch 15 is conductive, since the current  $I_L$  does not flow into the current communication diode 14, efficiency drop by forward voltage drop can be prevented. An induction element current detecting circuit 22 monitors the current  $I_L$ . When it is to be inverted, instruction is issued to a control circuit 21 to cut off the second switch 15. Thereby, even when a load is small, an inverse current does not flow into the induction element 12 to realize highly efficient switching power supply circuit.

**LEGAL STATUS**

[Date of request for examination]

02.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3418672

[Date of registration]

11.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The 1st switch formed between the induction component prepared between input/output terminals, and an induction component and an input terminal concerned, The rectifying device which has the polarity which maintains the 1st current which an end is connected between the 1st switch of the above, and an induction component, and flows for the induction component concerned, In the synchronous detection circuit which has the 2nd switch which flows so that it may connect with the rectifying device concerned at juxtaposition and may not lap with the "on" period of the 1st switch of the above The synchronous detection circuit characterized by having an induction component current detection means to supervise the 1st current of the above, and the 1st control means which intercepts the 2nd switch of the above based on directions of the above-mentioned induction component current detection means.

[Claim 2] The rectifying device which has the polarity which maintains the 1st current which is established between the induction component prepared between input/output terminals, and an induction component and an output terminal concerned, and flows for the induction component concerned, In the synchronous detection circuit which has the 1st switch by which the end was connected between the above-mentioned induction component and the rectifying device, and the 2nd switch which flows so that it may connect with the above-mentioned rectifying device at juxtaposition and may not lap with the "on" period of the 1st switch of the above The synchronous detection circuit characterized by having an induction component current detection means to supervise the 1st current of the above, and the 1st control means which intercepts the 2nd switch of the above based on directions of the above-mentioned induction component current detection means.

[Claim 3] The 1st switch formed between input/output terminals, and the rectifying device which is formed between the 1st switch of the above, and an output terminal, and has the polarity of the direction of [ from the above-mentioned output terminal ] an input terminal, In the synchronous detection circuit which has the induction component by which the end was connected between a rectifying device and the 1st switch concerned, and the 2nd switch which flows so that it may connect with the above-mentioned rectifying device at juxtaposition and may not lap with the "on" period of the 1st switch of the above The synchronous detection circuit characterized by having an induction component current detection means to supervise the 1st current of the above, and the 1st control means which intercepts the 2nd switch of the above based on directions of the above-mentioned induction component current detection means.

[Claim 4] The synchronous detection circuit according to claim 2 or 3 characterized by having the induction component for a short circuit or the resistance for a short circuit by which the end was connected between the node of the 1st switch of the above, and an induction component, the capacitor formed between the above-mentioned rectifying devices, and a capacitor and a rectifying device concerned.

[Claim 5] The 1st switch formed between the induction component prepared between input/output terminals, and an induction component and an input terminal concerned, The rectifying device which has the polarity which maintains the 1st current which an end is connected between the 1st switch of the above, and an induction component, and flows for the induction component concerned, In the synchronous detection circuit which has the 2nd switch which flows so that it may connect with the rectifying device concerned at juxtaposition and may not lap with the "on" period of the 1st switch of the above The synchronous detection circuit characterized by having the 2nd control means which presumes the 1st current of the above and controls the 2nd switch of the above based on the above-mentioned input terminal electrical potential difference and an output terminal electrical potential difference.

[Claim 6] The rectifying device which has the polarity which maintains the 1st current which is established between the induction component prepared between input/output terminals, and an induction component and an output terminal concerned, and flows for the induction component concerned, In the synchronous detection circuit which has the 1st switch by which the end was connected between the above-mentioned induction component and the rectifying device, and the 2nd switch which flows so that it may connect with the above-mentioned rectifying device at juxtaposition and may not lap with the "on" period of the 1st switch of the above The synchronous detection circuit characterized by having the 2nd control means which presumes the 1st current of the above and controls the 2nd switch of the above based on the above-mentioned input terminal electrical potential difference and an output terminal electrical potential difference.

[Claim 7] The 1st switch formed between input/output terminals, and the rectifying device which is formed between the 1st switch of the above, and an output terminal, and has the polarity of the direction of [ from the above-mentioned output terminal ] an input terminal, In the synchronous detection circuit which has the induction component by which the end was connected between a rectifying device and the 1st switch concerned, and the 2nd switch which flows so that it may connect with the above-mentioned rectifying device at juxtaposition and may not lap with the "on" period of the 1st switch of the above The synchronous detection circuit characterized by having the 2nd control means which presumes the 1st current of the above and controls the 2nd switch of the above based on the above-mentioned input terminal electrical potential difference and an output terminal electrical potential difference.

[Claim 8] The synchronous detection circuit according to claim 6 or 7 characterized by having the induction component for a short circuit or the resistance for a short circuit by which the end was connected between the node of the 1st switch of the above, and an induction component, the capacitor formed between the above-mentioned rectifying devices, and a capacitor and a rectifying device concerned.

[Claim 9] The electrical-potential-difference current transducer which generates the current according to the amount of fluctuation of the 1st current of the above based on whether the above-mentioned input terminal electrical potential difference, an output terminal electrical potential difference, and the 1st switch of the above have flowed through the 2nd control means of the above, The synchronous detection circuit according to claim 5, 6, 7, or 8 characterized by having the control section which controls the 2nd switch of the above to the output of the electrical-potential-difference current transducer concerned based on the electrical potential difference of the 1st edge of the are recording capacitor to which the 1st edge was connected, and the are recording capacitor concerned.

[Claim 10] The 1st amplifier circuit which generates the current which the above-mentioned electrical-potential-difference current transducer was based at least on one side among the above-mentioned input terminal electrical potential difference and the output terminal electrical potential difference, and is proportional to the amount of fluctuation of the 1st current of the above at the time of the flow of the 1st switch, The 1st current Miller circuit which slushes the output current of the above-mentioned 1st amplifier circuit, and the same quantity of a current into the 1st edge of the above-mentioned are recording capacitor only at the time of the flow of the 1st switch of the above, The 2nd amplifier circuit which generates the current which was based at least on one side among the above-mentioned input terminal electrical potential difference and the output terminal electrical potential difference, and is proportional to the amount of fluctuation of the 1st current of the above at the time of cutoff of the 1st switch, The synchronous detection circuit according to claim 9 characterized by having the 2nd current Miller circuit which draws out the output current of the above-mentioned 2nd amplifier circuit, and the same quantity of a current from the 1st edge of the above-mentioned are recording capacitor only at the time of cutoff of the 1st switch of the above.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] After this invention is intermittent in the power inputted by the ratio according to a desired output, it relates to the synchronous detection circuit to which effectiveness does not fall especially at the time of a light load, either about the synchronous detection circuit using a synchronous detection method among the switching power supply circuits graduated and outputted.

[0002]

[Description of the Prior Art] It is widely used from the former as a power circuit small [ a switching power supply circuit ] and efficient. The switching power supply circuit concerned can supply the electrical potential difference and current of a fixed value to a load irrespective of fluctuation of a load by graduating and outputting and adjusting the ratio at the time of being intermittent based on output voltage or the output current, after being intermittent in input power.

[0003] In recent years, in order to improve the effectiveness of a switching power supply circuit further, the switching power supply circuit (synchronous detection circuit) which various approaches are proposed, for example, adopted the synchronous detection method in JP,9-261950,A is indicated.

[0004] As shown in drawing 20 , while the 1st switch 111 has flowed in the conventional synchronous detection circuit 101, the input voltage  $V_{in}$  inputted into the input terminal IN is impressed to an output terminal OUT through the induction component 112 and the 1st switch 111. Moreover, in order to keep output voltage  $V_{out}$  constant, the output terminal OUT is grounded through the smoothing capacitor 113.

[0005] Current  $I_L$  which energy is accumulated in the induction component 112 and flows in the direction of an output terminal OUT with the induction component 112 in this condition As shown in drawing 21 , it increases with the inclination of  $(V_{in}-V_{out})/L$  (period from  $t_a$  of drawing 21 to  $t_b$ ).

[0006] Current  $I_L$  which will flow the induction component 112 on the other hand if the commutation diode 114 and the 2nd switch 115 are formed in the series circuit of the above-mentioned induction component 112 and a smoothing capacitor 113 at juxtaposition, respectively and the 1st switch 111 is intercepted (at the time of being  $t_b$ ) It is maintained by the commutation diode 114 concerned and the 2nd switch 115 which flowed. It is emitted and the energy accumulated in the induction component 112 in this condition is Current  $I_L$ . It decreases with the inclination of  $-V_{out}/L$  (period from  $t_b$  to  $t_e$ ). If it becomes at the time of  $t_e$ , the 1st switch 111 of the above will flow again, and will begin to accumulate energy to the induction component 112.

[0007] The 1st and 2nd switches 111-115 of the above are controlled by the control circuit 121, and a control circuit 121 supervises output voltage  $V_{out}$ , and controls the rate of the "on" period of the 1st switch 111, and a cutoff period to become a fixed value. Here, if both the above-mentioned switches 111-115 flow in coincidence, an input terminal IN will be grounded through both the switches 111-115, and a very big penetration current will flow. Therefore, a control circuit 121 forms the predetermined dead time  $T_{det}$  between the switch timing of the 1st switch 111, and the switch timing of the 2nd switch 115, and it is controlling it so that both the switches 111-115 do not flow in coincidence.

[0008] Current  $I_L$  which flows the induction component 112 with the above-mentioned configuration while the 2nd switch 115 has flowed The 2nd switch 115 is flowed and a current mainly flows hardly to the commutation diode 114. Therefore, even if it is at the heavy-loading time with the large output load current  $I_{out}$ , it does not generate but the forward voltage loss by the commutation diode 114 can realize the very efficient synchronous detection circuit 101.

[0009]

[Problem(s) to be Solved by the Invention] However, the synchronous detection circuit 101 of the above-mentioned configuration has the problem that effectiveness tends to fall at the time of a light load. There is very little load current  $I_{out}$  at the time of a light load, and, specifically, a control circuit 121 sets the cutoff period of the 1st switch 111 to it for a long time. Consequently, even if it passes over (tx) the time of all the energy accumulated in the "on" period of the 1st switch 111 to the induction component 112 being emitted, the 1st switch 111 may not flow. In this condition, a current flows from an output terminal OUT to GND through the induction component 112 and the 2nd switch 115 conversely with usual. Consequently, the conversion efficiency of the synchronous detection circuit 101 will fall to 50% or less.

[0010] In addition, if the 2nd switch 115 has the polarity, the current of hard flow can be prevented, but as the 2nd switch 115, if MOSFET is used, a current will flow also in the direction opposite to a polarity with the body diode formed in MOSFET. Here, if rectifying devices, such as diode, are connected to MOSFET at a serial in order to remove a reverse current for example, the effectiveness at the time of heavy loading will fall with the forward voltage of the diode concerned.

[0011] This invention is made in view of the above-mentioned trouble, and the purpose is in realizing the switching power supply circuit where conversion efficiency is high, also when a load is small.

[0012]

[Means for Solving the Problem] In order that the synchronous detection circuit concerning invention of claim 1 may solve the above-mentioned technical problem The 1st switch formed between the induction component prepared between input/output terminals, and an induction component and an input terminal concerned, The rectifying device which has the polarity which maintains the 1st current which an end is connected between the 1st switch of the above, and an induction component, and flows for the induction component concerned, In the synchronous detection circuit which has the 2nd switch which flows so that it may connect with the rectifying device concerned at juxtaposition and may not lap with the "on" period of the 1st switch of the above It is characterized by having an induction component current detection means to supervise the 1st current of the above, and the 1st control means which intercepts the 2nd switch of the above based on directions of the above-mentioned induction component current detection means.

[0013] In the synchronous detection circuit of the above-mentioned configuration, the energy usually accumulated sometimes to the induction component as the 1st current which flows for an induction component at the time of the flow of the 1st switch is emitted in the time of cutoff of the 1st switch. Therefore, a synchronous detection circuit turns into a switching power supply circuit of a step-down mold, and can maintain outputs, such as output voltage and the output current, at a predetermined value by controlling the rate of the "on" period of the 1st switch, and a cutoff period.

[0014] With the above-mentioned configuration, while the 1st switch is intercepted, the 1st current of the above is maintained by the parallel circuit of a rectifying device and the 2nd switch. Here, since the 1st current flows via the 2nd switch while the 2nd switch has flowed, the loss generated when the 1st current flows a rectifying device, such as forward voltage loss of a rectifying device, is not generated. Therefore, even if it is the case that the output load current is large, it can detect synchronously very efficiently.

[0015] By the way, in order that the 2nd switch may shorten the period when forward current flows to a rectifying device, to set up in the range which does not lap with the "on" period of the 1st switch as for a long time as possible is desired. Therefore, during many cases, for example, a predetermined dead time, intercept the both sides of the 1st and 2nd switches, and they are controlled by the residual period so that either the 1st switch or the 2nd switch flows. In addition, if the "on" period of the 1st and 2nd switches laps, a penetration current will flow through both switches and the effectiveness of a synchronous detection circuit will be reduced sharply.

[0016] On the other hand, at the time of a light load with very little output load current, the rate of the "on" period of the 1st switch usually becomes very short compared with the time. In this condition, when the 1st current of the above tends to approach 0 and tends to be reversed, even if it becomes, the 1st switch may not flow. If this condition is left and it is continuing making it flow through the 2nd switch, since the sense of the 1st current of the above will be reversed and an output terminal will be connected with touch-down level too hastily through an induction component, the effectiveness of a synchronous detection circuit is reduced sharply.

[0017] However, with the above-mentioned configuration, the induction component current detection means is

supervising the 1st current, the 1st current approaches 0, and what it is going to reverse is detected. The 1st control means intercepts the 2nd switch irrespective of whether the 1st switch has flowed, when the 1st current is reversed and it has based on this detection result. Thereby, even if it is at the light load time, the current of hard flow does not flow for an induction component. Therefore, even if it is at the light load time, the high synchronous detection circuit of conversion efficiency is realizable.

[0018] In addition, since an induction component current detection means does not direct cutoff of the 2nd switch, sometimes, the "on" period of the 2nd switch can usually be set up sufficiently long like the conventional synchronous detection circuit. Therefore, the conversion efficiency of a synchronous detection circuit is always maintainable on high level.

[0019] Moreover, the synchronous detection circuit concerning invention of claim 2 The induction component prepared between input/output terminals in order to solve the above-mentioned technical problem, The rectifying device which has the polarity which maintains the 1st current which is established between induction components and output terminals concerned, and flows for the induction component concerned, In the synchronous detection circuit which has the 1st switch by which the end was connected between the above-mentioned induction component and the rectifying device, and the 2nd switch which flows so that it may connect with the above-mentioned rectifying device at juxtaposition and may not lap with the "on" period of the 1st switch of the above It is characterized by having an induction component current detection means to supervise the 1st current of the above, and the 1st control means which intercepts the 2nd switch of the above based on directions of the above-mentioned induction component current detection means.

[0020] According to the above-mentioned configuration, the energy accumulated in the induction component at the time of the flow of the 1st switch is superimposed and outputted to the electrical potential difference impressed to an input terminal at the time of cutoff of the 1st switch. Thereby, a synchronous detection circuit turns into a switching power supply circuit of a step-up mold, and can maintain outputs, such as output voltage and the output current, at a predetermined value by controlling the rate of the "on" period of the 1st switch, and a cutoff period.

[0021] Also in the above-mentioned configuration, the induction component current detection means is supervising the 1st current as well as the configuration of claim 1, and the 1st control means intercepts the 2nd irrespective of whether the 1st switch has flowed, when the 1st current is going to approach 0 and it is going to reverse it. Thereby, even if it is at the light load time, the current of hard flow does not flow for an induction component. Therefore, even if it is at the light load time, the high synchronous detection circuit of conversion efficiency is realizable.

[0022] Furthermore, the synchronous detection circuit concerning invention of claim 3 The 1st switch formed between input/output terminals in order to solve the above-mentioned technical problem, The rectifying device which is formed between the 1st switch of the above, and an output terminal, and has the polarity of the direction of [ from the above-mentioned output terminal ] an input terminal, In the synchronous detection circuit which has the induction component by which the end was connected between a rectifying device and the 1st switch concerned, and the 2nd switch which flows so that it may connect with the above-mentioned rectifying device at juxtaposition and may not lap with the "on" period of the 1st switch of the above It is characterized by having an induction component current detection means to supervise the 1st current of the above, and the 1st control means which intercepts the 2nd switch of the above based on directions of the above-mentioned induction component current detection means.

[0023] According to the above-mentioned configuration, at the time of the flow of the 1st switch, a polarity is reversed and the energy accumulated in the induction component is outputted at the time of cutoff of the 1st switch. Thereby, a synchronous detection circuit turns into a switching power supply circuit of a reversal mold, and can maintain outputs, such as output voltage and the output current, at a predetermined value by controlling the rate of the "on" period of the 1st switch, and a cutoff period.

[0024] Also in the above-mentioned configuration, the induction component current detection means is supervising the 1st current as well as the configuration of claim 1, and the 1st control means intercepts the 2nd irrespective of whether the 1st switch has flowed, when the 1st current is going to approach 0 and it is going to reverse it. Thereby, even if it is at the light load time, the current of hard flow does not flow for an induction component. Therefore, even if it is at the light load time, the high synchronous detection circuit of conversion efficiency is realizable.

[0025] In addition, the synchronous detection circuit concerning invention of claim 4 is characterized by having the induction component for a short circuit or the resistance for a short circuit by which the end was connected between the node of the 1st switch of the above, and an induction component, the capacitor formed between the above-mentioned rectifying devices, and a capacitor and a rectifying device concerned in the configuration of invention according to claim 2 or 3.

[0026] With the configuration concerned, the energy accumulated in the induction component is outputted through a capacitor at the time of the flow of the 1st switch. Thereby, a synchronous detection circuit turns into a switching power supply circuit of an up-and-down mold, and can maintain outputs, such as output voltage and the output current, at a predetermined value by controlling the rate of the "on" period of the 1st switch, and a cutoff period.

[0027] Also in the above-mentioned configuration, the induction component current detection means is supervising the 1st current as well as the configuration of claim 1, and the 1st control means intercepts the 2nd irrespective of whether the 1st switch has flowed, when the 1st current is going to approach 0 and it is going to reverse it. Thereby, even if it is at the light load time, the current of hard flow does not flow for an induction component. Therefore, even if it is at the light load time, the high synchronous detection circuit of conversion efficiency is realizable.

[0028] On the other hand, the synchronous detection circuit concerning invention of claim 5 The induction component prepared between input/output terminals in order to solve the above-mentioned technical problem, The rectifying device which has the polarity which maintains the 1st current which an end is connected between the 1st switch formed between induction components and input terminals concerned, and the 1st switch of the above and an induction component, and flows for the induction component concerned, In the synchronous detection circuit which has the 2nd switch which flows so that it may connect with the rectifying device concerned at juxtaposition and may not lap with the "on" period of the 1st switch of the above Based on the above-mentioned input terminal electrical potential difference and the output terminal electrical potential difference, the 1st current of the above is presumed and it is characterized by having the 2nd control means which controls the 2nd switch of the above.

[0029] With the above-mentioned configuration, the 2nd control means presumes the 1st current of the above based on an input terminal electrical potential difference and an output terminal electrical potential difference instead of supervising the 1st current directly using an induction component current detection means. Therefore, in order to detect a current, resistance can be prepared on the passage of the 1st current, or unlike the case where the 1st current is detected, a magnetometric sensor etc. can constitute the 2nd control means using the amplifier which amplifies an electrical potential difference. Therefore, it has the same effectiveness as claim 1 which can operate as a switching power supply circuit of a step-down mold, and a smaller and efficient synchronous detection circuit can be realized.

[0030] Moreover, the synchronous detection circuit concerning invention of claim 6 The induction component prepared between input/output terminals in order to solve the above-mentioned technical problem, The rectifying device which has the polarity which maintains the 1st current which is established between induction components and output terminals concerned, and flows for the induction component concerned, In the synchronous detection circuit which has the 1st switch by which the end was connected between the above-mentioned induction component and the rectifying device, and the 2nd switch which flows so that it may connect with the above-mentioned rectifying device at juxtaposition and may not lap with the "on" period of the 1st switch of the above Based on the above-mentioned input terminal electrical potential difference and the output terminal electrical potential difference, the 1st current of the above is presumed and it is characterized by having the 2nd control means which controls the 2nd switch of the above.

[0031] With the above-mentioned configuration, the 2nd control means presumes the 1st current of the above like the synchronous detection circuit concerning invention of claim 5 based on an input terminal electrical potential difference and an output terminal electrical potential difference. Therefore, it has the same effectiveness as claim 2 which can operate as a switching power supply circuit of a step-up mold, and a smaller and efficient synchronous detection circuit can be realized.

[0032] Furthermore, the synchronous detection circuit concerning invention of claim 7 The 1st switch formed between input/output terminals in order to solve the above-mentioned technical problem, The rectifying device which is formed between the 1st switch of the above, and an output terminal, and has the polarity of the

direction of [ from the above-mentioned output terminal ] an input terminal, In the synchronous detection circuit which has the induction component by which the end was connected between a rectifying device and the 1st switch concerned, and the 2nd switch which flows so that it may connect with the above-mentioned rectifying device at juxtaposition and may not lap with the "on" period of the 1st switch of the above Based on the above-mentioned input terminal electrical potential difference and the output terminal electrical potential difference, the 1st current of the above is presumed and it is characterized by having the 2nd control means which controls the 2nd switch of the above.

[0033] With the above-mentioned configuration, the 2nd control means presumes the 1st current of the above like the synchronous detection circuit concerning invention of claim 5 based on an input terminal electrical potential difference and an output terminal electrical potential difference. Therefore, it has the same effectiveness as claim 3 which can operate as a switching power supply circuit of a reversal mold, and a smaller and efficient synchronous detection circuit can be realized.

[0034] In addition, the synchronous detection circuit concerning invention of claim 8 is characterized by having the induction component for a short circuit or the resistance for a short circuit by which the end was connected between the node of the 1st switch of the above, and an induction component, the capacitor formed between the above-mentioned rectifying devices, and a capacitor and a rectifying device concerned in the configuration of invention according to claim 6 or 7.

[0035] With the configuration concerned, the energy accumulated in the induction component is outputted through a capacitor at the time of the flow of the 1st switch. Therefore, it has the same effectiveness as claim 4 which can operate as a switching power supply circuit of an up-and-down mold, and a smaller and efficient synchronous detection circuit can be realized.

[0036] By the way, the approach and the implementation approach of the 2nd control means the 2nd control means of the above presumes the 1st current based on an input terminal electrical potential difference and an output terminal electrical potential difference can consider various approaches. For example, you may realize in an analog circuit and the 2nd control means can also be realized in a digital circuit. Moreover, based on the I/O electrical potential difference at a certain time, the 1st current in near may be computed the time of the 1st current being reversed. If it is the approach that the 1st current can be presumed for the time of the 1st current being reversed to computable extent at least, the various calculation approaches are employable.

[0037] However, when the time of the sense of the 1st current being actually reversed and the time of intercepting the 2nd switch based on the presumed result of the 1st current are not in agreement, the effectiveness of a synchronous detection circuit will be reduced.

[0038] The synchronous detection circuit concerning invention of claim 9 here In the configuration of invention according to claim 5, 6, 7, or 8 the 2nd control means of the above The electrical-potential-difference current transducer which generates the current according to the amount of fluctuation of the 1st current of the above based on whether the above-mentioned input terminal electrical potential difference, an output terminal electrical potential difference, and the 1st switch of the above have flowed, Based on the electrical potential difference of the 1st edge of the are recording capacitor by which the 1st edge was connected to the output of the electrical-potential-difference current transducer concerned, and the are recording capacitor concerned, it is characterized by having the control section which controls the 2nd switch of the above.

[0039] Generally, if it is determined whether the 1st switch has flowed, it can compute the amount of fluctuation of the 1st current from an input/output terminal electrical potential difference. If the configuration of claim 5 is made into an example, an I/O electrical potential difference is set to  $V_{in}$  and  $V_{out}$  and the reactance of an induction component is set to  $L$ , the amount of fluctuation of the 1st current is set to  $(V_{in}-V_{out})/L$  when the 1st switch has flowed, and when intercepted, it will serve as  $-V_{out}/L$ .

[0040] In the above-mentioned configuration, an electrical-potential-difference current transducer computes the amount of fluctuation of the 1st current concerned computed based on the input/output terminal electrical potential difference, and generates the current of the amount according to the amount of fluctuation concerned. According to the value which integrated with the above-mentioned amount of fluctuation, i.e., the amount of the 1st current, since the current concerned is accumulated in an are recording capacitor, the electrical potential difference of the 1st edge of an are recording capacitor changes. Consequently, the 1st current can be presumed very correctly and the time of reversing the sense can be presumed in a high precision. Therefore, it can prevent certainly that a reverse current flows for an induction component, and the conversion efficiency of a



synchronous detection circuit can be improved further.

[0041] In addition, since it is realizable in analog circuits, such as amplifier, the above-mentioned current potential transducer and a control section can be accumulated comparatively easily with other members of synchronous detection circuits, such as a circuit which determines the "on" period of the 1st switch, for example. Moreover, compared with the case where it realizes in a digital circuit, a circuit scale and power consumption are reducible. Therefore, small and the synchronous detection circuit of a low power are realizable.

[0042] Moreover, the synchronous detection circuit concerning invention of claim 10 In the configuration of invention according to claim 9 the above-mentioned electrical-potential-difference current transducer The 1st amplifier circuit which generates the current which was based at least on one side among the above-mentioned input terminal electrical potential difference and the output terminal electrical potential difference, and is proportional to the amount of fluctuation of the 1st current of the above at the time of the flow of the 1st switch, The 1st current Miller circuit which slushes the output current of the above-mentioned 1st amplifier circuit, and the same quantity of a current into the 1st edge of the above-mentioned are recording capacitor only at the time of the flow of the 1st switch of the above, The 2nd amplifier circuit which generates the current which was based at least on one side among the above-mentioned input terminal electrical potential difference and the output terminal electrical potential difference, and is proportional to the amount of fluctuation of the 1st current of the above at the time of cutoff of the 1st switch, It is characterized by having the 2nd current Miller circuit which draws out the output current of the above-mentioned 2nd amplifier circuit, and the same quantity of a current from the 1st edge of the above-mentioned are recording capacitor only at the time of cutoff of the 1st switch of the above.

[0043] With the above-mentioned configuration, at the time of the flow of the 1st switch, the 1st amplifier circuit and the 1st current Miller circuit operate, and a charge is accumulated in the 1st edge of the above-mentioned are recording capacitor. On the other hand, at the time of cutoff of the 1st switch, the 2nd amplifier circuit and the 2nd current Miller circuit operate, and a charge is emitted from the 1st edge of the above-mentioned are recording capacitor. Thereby, an electrical-potential-difference current conversion circuit can generate the current according to the amount of fluctuation of the 1st current of the above in a high precision in the both sides of the flow of the 1st switch, and the time of cutoff.

[0044]

[Embodiment of the Invention] [1st operation gestalt] It is as follows when 1 operation gestalt of this invention is explained based on drawing 1 and drawing 2 . That is, from the DC power supply to which it is the DC to DC converter of the step-down mold which used the synchronous detection method, for example, an electrical potential difference is changed, the switching power supply circuit concerning this operation gestalt is suitably used, in order to generate the constant voltage of a desired value.

[0045] As shown in drawing 1 , specifically, the series circuit which consists of the 1st switch 11 and an induction component 12 between an input terminal IN and an output terminal OUT is established in the above-mentioned switching power supply circuit 1. The node of the above-mentioned induction component 12 and an output terminal OUT is grounded through the smoothing capacitor 13, and the node of the 1st switch 11 and the induction component 12 is grounded through the commutation diode (rectifying device) 14 connected to the polarity which maintains the current of the induction component 12. Moreover, the 2nd switch 15 is formed in juxtaposition at the commutation diode 14 concerned.

[0046] The above-mentioned switching power supply circuit 1 is equipped with the control circuit (the 1st and 2nd control means) 21 which controls a flow/cutoff of both the above-mentioned switches 11-15, and both the switches 11-15 are controlled so that an "on" period does not lap mutually. Moreover, the control circuit 21 concerned supervises the output voltage  $V_{out}$  of an output terminal OUT, and it controls the rate of the "on" period of the 1st switch 11, and a cutoff period so that the output voltage  $V_{out}$  concerned becomes fixed.

[0047] Furthermore, the switching power supply circuit 1 concerning this operation gestalt is equipped with the induction component current detector (induction component current detection means) 22 which detects the sense of the current in the node of the induction component 12 and an output terminal OUT. The above-mentioned induction component current detector 22 is the resistance connected to the induction component 12 at the serial, in this case, is comparing the potential of the both ends of the resistance concerned, and can detect the sense of the current which flows for the induction component 12. In addition, with this operation gestalt, the

degradation resulting from the voltage drop of the resistance concerned is prevented, using the resistance component of wiring as resistance.

[0048] A control circuit 21 is in the condition that the 2nd switch 15 is intercepted, and makes it flow through the 1st switch 11 in the switching power supply circuit 1 of the above-mentioned configuration, as shown in drawing 2 (at the time of  $t_1$ ). Thereby, the input voltage  $V_{in}$  impressed to an input terminal IN is outputted to an output terminal OUT through the 1st switch 11 and the induction component 12. Current  $I_L$  which flows for the induction component 12 in this condition It increases by the inclination  $dI_L$  shown in the following formulas (1) /  $dt$ .

[0049]

$$dI_L/dt=(V_{in}-V_{out})/L \text{ -- (1)}$$

In addition, it sets at an upper ceremony (1) and is the induced current  $I_L$ . The direction makes forward the direction of [ from an input terminal IN ] an output terminal OUT, and L shows the reactance of the induction component 12. In this condition, since input voltage  $V_{in}$  is impressed to the input side of the induction component 12, the commutation diode 14 serves as reversed polarity, and is intercepted. Moreover, the 2nd switch 15 is also intercepted.

[0050] The 1st switch 11 is intercepted, and a control circuit 21 makes it flow through the 2nd switch 15, if it becomes at the time of  $t_2$ , after the predetermined dead time  $T_{det}$  passes (at the time of  $t_3$ ). Furthermore, a control circuit 21 makes it flow through the 1st switch 11, after flowing through the 2nd switch 15 at the time of  $t_4$  and the predetermined dead time  $T_{det}$  passes (at the time of  $t_5$ ). Thus, the control circuit 21 has prepared the predetermined dead time  $T_{det}$  for the both sides of a during [ the cutoff / of the 2nd switch 15 / and flow time of the 1st switch 11 ] during the cutoff [ of the 1st switch 11 ], and flow time of the 2nd switch 15. Therefore, the penetration current which flows when both the switches 11-15 flow in coincidence is not generated.

[0051] current  $I_L$  which flows for the induction component 12 here in the period (periods from  $t_2$  to  $t_5$ ) when the 1st switch 11 is intercepted it maintains with commutation diode 14 \*\*\*\* 2 switch 15 -- having -- \*\*\*\* -- current  $I_L$  an inclination  $dI_L / dt$  is shown in the following formulas (2) -- as --  $dI_L/dt=-(V_{out}/L)$  -- (2)

It becomes.

[0052] Moreover, the 2nd switch 15 has flowed and the periods from  $t_3$  among the periods from the above  $t_2$  to  $t_5$  to  $t_4$  are the above-mentioned currents  $I_L$ . Not the commutation diode 14 but the 2nd switch 15 is flowed. Therefore, loss resulting from the forward voltage of the commutation diode 14 does not generate the period through which the 2nd switch 15 has flowed. Consequently, current  $I_L$  which the output load current  $I_{out}$  is large and flows the induction component 12 Even if it is a large case, the conversion efficiency of the switching power supply circuit 1 can be maintained at 80% or more and a high value.

[0053] Thus, it is the induced current  $I_L$  during the "on" period of the 1st switch 11. After the energy which carried out and was accumulated to the induction component 12 is emitted during the cutoff period of the 1st switch 11 and is graduated with a smoothing capacitor 13, it is outputted from an output terminal OUT. Here, a control circuit 21 supervises output voltage  $V_{out}$ , and it carries out feedback control of the rate of the "on" period of the 1st switch 11, and a cutoff period so that output voltage  $V_{out}$  may become fixed. Thereby, the switching power supply circuit 1 can continue outputting the electrical potential difference of a fixed value irrespective of fluctuation of a load.

[0054] For example, if the output load current  $I_{out}$  increases and output voltage  $V_{out}$  tends to decrease from the desired value  $V_{con}$ , a control circuit 21 will extend the "on" period of the 1st switch 11. On the other hand, if the output load current  $I_{out}$  tends to decrease and output voltage  $V_{out}$  tends to increase from the desired value  $V_{con}$ , the "on" period of the 1st switch 11 will be shortened.

[0055] Current  $I_L$  which flows the induction component 12 here as shown in an above-mentioned formula (2) It is the induced current  $I_L$  as the cutoff period of the 1st switch 11 becomes long since it continues decreasing while the 1st switch 11 is intercepted. 0 is approached. Therefore, if it continues making it flow through the 2nd switch 15 when there is extremely little output load current  $I_{out}$  when the cutoff period of the 1st switch 11 is very long ( $t_{11}$  or subsequent ones), it is the induced current  $I_L$ . It becomes zero or less and is the induced current  $I_L$ . The sense may be reversed. In this case, since a current flows from an output terminal OUT to GND through the induction component 12 and the 2nd switch 15, the conversion efficiency of the switching power supply circuit 1 will fall to 50% or less.

[0056] However, at this operation gestalt, the induction component current detector 22 is the induced current  $I_L$ .

When the sense is always supervised, the forward current of the induction component 12 tends to approach 0 and the sense tends to be reversed (at the time of being t14), the signal for intercepting the 2nd switch 15 is sent out to a control circuit 21. A control circuit 21 makes the 2nd switch 15 intercept irrespective of a flow/cutoff of the 1st switch 11, when the signal concerned is received. Thereby, for the induction component 12, even when there are few output loads, a reverse current does not flow. Therefore, even when there are few output loads, high conversion efficiency can be maintained. Consequently, the switching power supply circuit 1 of the step-down mold which can maintain conversion efficiency at a high value (for example, 80% or more) is always realizable.

[0057] [2nd operation gestalt] With the operation gestalt of the above 1st, although the switching power supply circuit 1 of a step-down mold was explained, this invention is applicable not only to this but the switching power supply circuit of other molds. This operation gestalt explains the case where it applies to a step-up mold, as other examples of application.

[0058] That is, as shown in drawing 3, in switching power supply circuit 1a of a step-up mold, the end of the induction component 12 is connected to the input terminal IN, and the other end is grounded through the 1st switch 11. The node of the induction component 12 and the 1st switch 11 is connected to the output terminal OUT through the parallel circuit which consists of commutation diode 14 and the 2nd switch 15. The polarity of the commutation diode 14 concerned is set up in the direction of [ from the induction component 12 ] an output terminal OUT which maintains the current ILa of the induction component 12, i.e., the direction. Moreover, the smoothing capacitor 13 is formed among output terminals OUT and GND. On the other hand, the induction component current detector 22 concerning this operation gestalt is supervising the current ILa of the node of the induction component 12 and an input terminal IN. Thereby, while the control circuit 21 concerning this operation gestalt controls the 1st and 2nd switches 11-15 like the 1st operation gestalt according to output voltage Vout so that the rate of the "on" period of the 1st switch 11 and a cutoff period is adjusted and an "on" period does not lap mutually, the forward current of the induction component 12 approaches 0, and a reverse current can intercept the 2nd switch 15 to a case the method of flow, and the bottom.

[0059] With the above-mentioned configuration, as shown in drawing 2, the induced current ILa increases to the period (periods from t1 to t2) through which the 1st switch 11 has flowed, and decreases at the period (periods from t2 to t5) currently intercepted. Here, inclination dILa/dt at the time of an increment and reduction should be shown in the following formulas (3) and (4).  $dILa/dt = V_{in}/L$  -- (3)

$dILa/dt = (V_{in} - V_{out})/L$  -- (4)

It becomes.

[0060] With the configuration concerned, the energy accumulated in the induction component 12 is superimposed and outputted to input voltage Vin in the cutoff period of the 1st switch 11 in the "on" period of the 1st switch 11. Consequently, switching power supply circuit 1a can supply the bigger output voltage Vout than input voltage Vin to a load. Moreover, the output voltage Vout concerned can be kept being the same as that of the 1st operation gestalt to the fixed value Vcon by carrying out feedback control of the rate of the "on" period of the 1st switch 11, and a cutoff period according to output voltage Vout.

[0061] Here, also in the configuration concerned, as the flowing current ILa shows the induction component 12 in an above-mentioned formula (4), while the 1st switch 11 is intercepted, it continues decreasing. Therefore, like the 1st operation gestalt, when the cutoff period of the 1st switch 11 is very long (t11 or subsequent ones), when it continues making it flow through the 2nd switch 15, the induced current ILa may become zero or less, and the sense of the induced current ILa may be reversed. In this case, since a current flows from an output terminal OUT to an input terminal IN through the 2nd switch 15 and the induction component 12, the conversion efficiency of switching power supply circuit 1a will fall to 50% or less.

[0062] However, with this operation gestalt, when the induction component current detector 22 is always supervising the sense of the induced current ILa, the forward current of the induction component 12 tends to approach 0 and the sense tends to be reversed (at the time of being t14), the signal for intercepting the 2nd switch 15 is sent out to a control circuit 21. A control circuit 21 makes the 2nd switch 15 intercept irrespective of a flow/cutoff of the 1st switch 11, when the signal concerned is received. Thereby, for the induction component 12, even when there are few output loads, a reverse current does not flow. Therefore, even when there are few output loads, high conversion efficiency can be maintained. Consequently, switching power supply circuit 1a of the step-up mold which can maintain conversion efficiency at a high value (for example,

80% or more) is always realizable.

[0063] [3rd operation gestalt] This operation gestalt explains the case where it applies to a reversal mold, as other examples of application based on drawing 4 and drawing 2. That is, as shown in drawing 4, in switching power supply circuit 1b of a reversal mold, the end of the induction component 12 is grounded and the other end is connected to the input terminal IN through the 1st switch 11. The node of the induction component 12 and the 1st switch 11 is connected to the output terminal OUT through the parallel circuit which consists of commutation diode 14 and the 2nd switch 15. The polarity of the commutation diode 14 concerned is set up in the direction of [ from an output terminal OUT ] the induction component 12 which maintains the current ILb of the induction component 12, i.e., the direction. Moreover, the smoothing capacitor 13 is formed among output terminals OUT and GND. On the other hand, the induction component current detector 22 concerning this operation gestalt is supervising the current ILb which flows from the induction component 12 to GND. Thereby, while the control circuit 21 concerning this operation gestalt controls the 1st and 2nd switches 11-15 like the 1st operation gestalt according to output voltage Vout so that the rate of the "on" period of the 1st switch 11 and a cutoff period is adjusted and an "on" period does not lap mutually, the forward current of the induction component 12 approaches 0, and a reverse current can intercept the 2nd switch 15 to a case the method of flow, and the bottom.

[0064] With the above-mentioned configuration, as shown in drawing 2, the induced current ILb increases to the period (periods from t1 to t2) through which the 1st switch 11 has flowed, and decreases at the period (periods from t2 to t5) currently intercepted. Here, inclination  $dILb/dt$  at the time of an increment and reduction should be shown in the following formulas (5) and (6).  $dILb/dt = V_{in}/L$  -- (5)

$dILb/dt = V_{out}/L$  -- (6)

It becomes.

[0065] With the configuration concerned, the energy accumulated in the induction component 12 in the "on" period of the 1st switch 11 is outputted with a polarity with reverse input voltage Vin in the cutoff period of the 1st switch 11. Consequently, the output voltage Vout of reversed polarity can be supplied to a load to input voltage Vin. Moreover, the output voltage Vout concerned can be kept being the same as that of the 1st operation gestalt to the fixed value Vcon by carrying out feedback control of the rate of the "on" period of the 1st switch 11, and a cutoff period according to output voltage Vout.

[0066] Here, also in the configuration concerned, as shown in an above-mentioned formula (5), the current ILb which flows the induction component 12 continues decreasing, while the 1st switch 11 is intercepted. However, like the 1st operation gestalt, the induction component current detector 22 is always supervising the sense of the induced current ILb, and the forward current of the induction component 12 approaches 0, and based on directions of the induction component current detector 22, a control circuit 21 intercepts the 2nd switch 15, when the sense tends to be reversed (at the time of being t14). Thereby, for the induction component 12, even when there are few output loads, a reverse current does not flow. Therefore, even when there are few output loads, high conversion efficiency can be maintained. Consequently, switching power supply circuit 1b of the reversal mold which can maintain conversion efficiency at a high value (for example, 80% or more) is always realizable.

[0067] [4th operation gestalt] This operation gestalt explains the case where it applies to an up-and-down mold, as other examples of application based on drawing 5 and drawing 2. Namely, although switching power supply circuit 1c of an up-and-down mold is the same as that of switching power supply circuit 1a shown in drawing 3, and abbreviation as shown in drawing 5 R> 5 The capacitor 16 is formed between the node of the induction component 12 and the 1st switch 11, and the commutation diode 14. The node of a capacitor 16 and the commutation diode 14 It is grounded through the induction component for a short circuit, or the impedance component (all over drawing, it is written as Z) 17 which consists of resistance for a short circuit. In addition, since the residual configuration is the same as that of the above-mentioned switching power supply circuit 1a, it gives the same sign to the member which has the same function, and omits explanation.

[0068] With the above-mentioned configuration, as shown in drawing 2, the induced current ILc which flows for the induction component 12 increases to the period (periods from t1 to t2) through which the 1st switch 11 has flowed, and decreases at the period (periods from t2 to t5) currently intercepted. Here, inclination  $dILc/dt$  at the time of an increment and reduction should be shown in the following formulas (7) and (8).  $dILc/dt = V_{in}/L$  -- (7)

$dI_L/dt = -(V_{out}/L) \quad \text{-- (8)}$

It becomes.

[0069] With the configuration concerned, the energy accumulated in the induction component 12 in the "on" period of the 1st switch 11 is outputted to the cutoff period of the 1st switch 11 through a capacitor 16. Therefore, the output voltage  $V_{out}$  concerned can be kept being the same as that of the 1st operation gestalt to the fixed value  $V_{con}$  by carrying out feedback control of the rate of the "on" period of the 1st switch 11, and a cutoff period according to output voltage  $V_{out}$ . With this operation gestalt, phase contrast produces the induction component 12 by the capacitor 16 and the impedance component 17 between flowing Currents  $I_L$  and the output load currents  $I_{out}$ . Consequently, even if it is the case where the size relation between input voltage  $V_{in}$  and output voltage  $V_{out}$  changes, switching power supply circuit 1c of an up-and-down mold maintainable to the fixed value  $V_{con}$  is [ the output voltage  $V_{out}$  concerned ] realizable.

[0070] Here, also in the configuration concerned, as shown in an above-mentioned formula (7), the current  $I_L$  which flows the induction component 12 continues decreasing, while the 1st switch 11 is intercepted. However, like the 1st operation gestalt, the induction component current detector 22 is always supervising the sense of the induced current  $I_L$ , and the forward current of the induction component 12 approaches 0, and based on the directions from induction component current detector 22b, a control circuit 21 intercepts the 2nd switch 15, when the sense tends to be reversed (at the time of being  $t_{14}$ ). Thereby, for the induction component 12, even when there are few output loads, a reverse current does not flow. Therefore, even when there are few output loads, high conversion efficiency can be maintained. Consequently, switching power supply circuit 1c of the up-and-down mold which can maintain conversion efficiency at a high value (for example, 80% or more) is always realizable.

[0071] The 2nd switch 15 is intercepted by carrying out direct detection of [the 5th operation gestalt] and the sense of the current which flows the induction component 12 with the above 1st thru/or the 4th operation gestalt by time using the induction component current detector 22. The induction component current detector 22 concerned can measure the electrical potential difference between both ends of the resistance connected to the induction component 12 at the serial, or measures magnetic field strength using a hall device etc., and can detect the sense of the above-mentioned current.

[0072] However, since accumulation is difficult for the component which measures a field, a switching power supply circuit tends to enlarge it. On the other hand, when detecting using resistance, there is a possibility that the effectiveness of the whole switching power supply circuit may fall by the voltage drop of resistance. In addition, as resistance for measurement, if the resistance component of wiring is used, decline in effectiveness is reducible. Moreover, if resistance is made small, loss resulting from resistance can be controlled. However, precision and gain required [ since the resistance of the resistance for measurement becomes small even if it is which case ] in order to measure the sense of a current become very high. On the other hand, since it is improving every year in order that the switching frequency of the 1st switch 11 may raise conversion efficiency, a quicker detection rate is needed. Therefore, it is necessary to form the induction component current detector 22 so that the both sides of the accuracy of measurement and a working speed may satisfy desired level, and it is small, and it difficult to realize the switching power supply circuit of low loss.

[0073] On the other hand, with the following operation gestalten, the time of the sense of the flowing current reversing the induction component 12 based on input voltage  $V_{in}$  and output voltage  $V_{out}$  is predicted, and the configuration which intercepts the 2nd switch 15 is explained.

[0074] That is, the switching power supply circuit 2 shown in drawing 6 is a switching power supply circuit of a step-down mold, and is the same configuration as the switching power supply circuit 1 and abbreviation shown in drawing 1. However, it replaces with the induction component current detector 22, and differs in that the electrical-potential-difference integral control circuit (the 2nd control means) 23 is formed.

[0075] The above-mentioned electrical-potential-difference integral control circuit 23 is the current  $I_L$  which detects input voltage  $V_{in}$  and output voltage  $V_{out}$ , and flows for the induction component 12. It calculates and is Current  $I_L$ . When reversed, the signal for intercepting the 2nd switch 15 is sent out to a control circuit 21. If 0V and flow time amount of the 1st switch 11 are set to TON, the electrical potential difference between both ends at the time of the flow of both the switches 11-15 specifically The time amount  $x$  until the energy accumulated to the induction component 12 at the time of the flow of the 1st switch 11 is emitted should be shown in the following formulas (9) from an above-mentioned formula (1) and an above-mentioned formula

(2).  $x = [TON - (V_{in} - V_{out}) / V_{out}] \cdot T$  -- (9)

It becomes. Therefore, if a control circuit 21 will intercept the 2nd switch 15 by the time the electrical-potential-difference integral control circuit 23 computes the above-mentioned time amount  $x$  and time amount  $x$  passes since the cutoff time of the 1st switch 11, a reverse current will not flow for the induction component 12.

Moreover, interrupting time  $TOFF$  of the 1st switch 11 Even if it controls a flow/cutoff of the 2nd switch 15 to become the  $x$  or less above-mentioned time amount, generating of a reverse current can be prevented.

[0076] In addition, in before the time of a reverse current beginning to flow [ the cutoff time of the 2nd switch 15 ], forward current flows through the commutation diode 14. Consequently, the forward voltage loss by the commutation diode 14 by the time it intercepts the 2nd switch 15 occurs, and the effectiveness of the switching power supply circuit 2 is reduced. On the other hand, since a reverse current will flow by the time it intercepts the 2nd switch 15 when the 2nd switch 15 is intercepted after the time of a reverse current beginning to flow, loss resulting from a reverse current occurs. Therefore, it is most desirable to control the cutoff time of the 2nd switch 15 so that it may be in agreement with the time of a reverse current beginning to flow. However, it is better to control it here so that the 2nd switch 15 is intercepted a little early and a reverse current does not flow when the time of a reverse current beginning to flow cannot be predicted correctly, since the loss resulting from a reverse current is larger than loss resulting from the forward voltage of the commutation diode 14.

[0077] Thereby, it is the induced current  $I_L$ . A reverse current can be prevented certainly, without measuring directly. Consequently, like the 1st operation gestalt, even when there are few output loads, conversion efficiency can be maintained and the switching power supply circuit 2 of the step-down mold which can always maintain conversion efficiency at a high value (for example, 80% or more) can be realized.

[0078] Moreover, the electrical-potential-difference integral control circuit 23 concerning this operation gestalt has determined the cutoff timing of the 2nd switch 15 based on input voltage  $V_{in}$  and output voltage  $V_{out}$ .

Therefore, resistance can be determined as a serial and cutoff timing can be determined as the induction component 12 at \*\*\*\*\*. Consequently, in the case of [ 22 ] the switching power supply circuit 1 of the 1st operation gestalt (i.e., an induction component current detector), compared with the case where cutoff timing is determined, small and the switching power supply circuit of low loss can be realized comparatively easily.

[0079] [6th operation gestalt] Although the operation gestalt of the above 5th explained the case where an electrical-potential-difference integral control circuit was prepared in the switching power supply circuit of a step-down mold, this invention is applicable not only to this but the switching power supply circuit of other molds. For example, in switching power supply circuit 1a of the step-up mold shown in drawing 3 , when electrical-potential-difference integral control circuit 23a is prepared instead of the induction component current detector 22, switching power supply circuit 2a shown in drawing 7 is constituted.

[0080] By the above-mentioned configuration, the induced current  $I_{La}$  at the time of the flow of the 1st switch 11 is the time amount  $x_a$  since it changes as shown in an above-mentioned formula (3) and an above-mentioned formula (4), until the energy accumulated to the induction component 12 at the time of the flow of the 1st switch 11 is emitted. Be shown in the following formulas (10).  $x_a = TON \cdot V_{in} / (V_{out} - V_{in})$  -- (10)

It becomes. Therefore, electrical-potential-difference integral control circuit 23a is the above-mentioned time amount  $x_a$  like the 5th operation gestalt. It computes and is time amount  $x_a$  from the cutoff point in time of the 1st switch 11. If a control circuit 21 will intercept the 2nd switch 15 by the time it passes, a reverse current will not flow for the induction component 12. Moreover, interrupting time  $TOFF$  of the 1st switch 11 The above-mentioned time amount  $x_a$  Even if it controls a flow/cutoff of the 2nd switch 15 to become below, generating of a reverse current can be prevented.

[0081] Consequently, like the 2nd operation gestalt, even when there are few output loads, conversion efficiency can be maintained, and switching power supply circuit 2a of a step-up mold maintainable to a high value (for example, 80% or more) can always be realized for conversion efficiency. Moreover, with this operation gestalt, the interrupting time of the 2nd switch 15 is determined like the 5th operation gestalt, without measuring the induced current  $I_{La}$  directly. Therefore, switching power supply circuit 2a still smaller and more efficient than the 2nd operation gestalt can be realized comparatively easily.

[0082] [7th operation gestalt] When electrical-potential-difference integral control circuit 23b is prepared instead of the induction component current detector 22 in switching power supply circuit 1b of the reversal mold shown in drawing 4 , switching power supply circuit 2b shown in drawing 8 is constituted again.

[0083] By the above-mentioned configuration, the induced current  $I_{Lb}$  at the time of the flow of the 1st switch

11 is the time amount  $x_b$  since it changes as shown in an above-mentioned formula (5) and an above-mentioned formula (6), until the energy accumulated to the induction component 12 at the time of the flow of the 1st switch 11 is emitted. Be shown in the following formulas (11).  $x_b = \text{TON} - V_{in}/(-V_{out})$  -- (11)

It becomes. Therefore, electrical-potential-difference integral control circuit 23b is the above-mentioned time amount  $x_b$  like the 5th operation gestalt. It computes and is time amount  $x_b$  from the cutoff point in time of the 1st switch 11. If a control circuit 21 will intercept the 2nd switch 15 by the time it passes, a reverse current will not flow for the induction component 12. Moreover, interrupting time TOFF of the 1st switch 11 The above-mentioned time amount  $x_b$  Even if it controls a flow/cutoff of the 2nd switch 15 to become below, generating of a reverse current can be prevented. Consequently, like the 3rd operation gestalt, even when there are few output loads, conversion efficiency can be maintained, and switching power supply circuit 2b of a reversal mold maintainable to a high value (80% or more) can always be realized for conversion efficiency. Moreover, with this operation gestalt, since the interrupting time of the 2nd switch 15 is determined like the 5th operation gestalt, without measuring the induced current  $I_{Lb}$  directly, switching power supply circuit 2b still smaller and more efficient than the 3rd operation gestalt can be realized comparatively easily.

[0084] [8th operation gestalt] Further, when electrical-potential-difference integral control circuit 23c is prepared instead of the induction component current detector 22 in switching power supply circuit 1c of the up-and-down mold shown in drawing 5, switching power supply circuit 2c shown in drawing 9 is constituted.

[0085] By the above-mentioned configuration, the induced current  $I_{Lc}$  at the time of the flow of the 1st switch 11 is the time amount  $x_c$  since it changes as shown in an above-mentioned formula (7) and an above-mentioned formula (8), until the energy accumulated to the induction component 12 at the time of the flow of the 1st switch 11 is emitted. Be shown in the following formulas (12).  $x_c = \text{TON} - V_{in}/V_{out}$  -- (12)

It becomes. Therefore, electrical-potential-difference integral control circuit 23c is the above-mentioned time amount  $x_c$  like the 5th operation gestalt. It computes and is time amount  $x_c$  from the cutoff point in time of the 1st switch 11. If a control circuit 21 will intercept the 2nd switch 15 by the time it passes, a reverse current will not flow for the induction component 12. Moreover, interrupting time TOFF of the 1st switch 11 The above-mentioned time amount  $x_c$  Even if it controls a flow/cutoff of the 2nd switch 15 to become below, generating of a reverse current can be prevented.

[0086] Consequently, like the 4th operation gestalt, even when there are few output loads, conversion efficiency can be maintained, and switching power supply circuit 2c of an up-and-down mold maintainable to a high value (for example, 80% or more) can always be realized for conversion efficiency. Moreover, with this operation gestalt, since the interrupting time of the 2nd switch 15 is determined like the 5th operation gestalt, without measuring the induced current  $I_{Lc}$  directly, switching power supply circuit 2b still smaller and more efficient than the 4th operation gestalt can be realized comparatively easily.

[0087] A digital circuit may realize and [the 9th operation gestalt] and the electrical-potential-difference integral control circuit 23 which starts the above 5th thru/or the 8th operation gestalt in time may be realized using an analog circuit. Moreover, above-mentioned operation expression (9) thru/or an above-mentioned formula (12) can be simplified, and the time of a reverse current beginning to flow can also be guessed based on  $I/O$  electrical-potential-difference  $V_{in} - V_{out}$  at a certain time.

[0088] However, if it realizes in a digital circuit in the case of above-mentioned operation expression (9) thru/or a formula (12), a circuit scale and power consumption tend to increase compared with the case of an analog circuit. On the other hand, when it guesses using an approximate expression since the conversion efficiency of a switching power supply circuit will fall, if it has shifted from the time of the time of a reverse current actually beginning to flow guessing as mentioned above, it is difficult to improve the conversion efficiency of a switching power supply circuit.

[0089] Below, the case where the integrator of an analog is used is explained as a suitable example of a configuration of the electrical-potential-difference integral control circuit 23. The switching power supply circuit 3 concerning this operation gestalt specifically As it is the circuit of a step-down mold and is shown in drawing 10, the electrical-potential-difference integral control circuit 23 Input voltage  $V_{in}$  and output voltage  $V_{out}$  are detected. Both the electrical potential differences  $V_{in}$  and  $V_{out}$  as it is Or it is the induced current  $I_L$  by transforming into a current the electrical potential difference which carried out addition-and-subtraction processing. The electrical-potential-difference current conversion circuit 31 which generates the current according to Variation  $dI_L / dt$  (electrical-potential-difference current transducer), The current potential



conversion capacitor 32 which accumulates the output current of the electrical-potential-difference current conversion circuit 31, and is changed into an electrical potential difference. It has the power source 34 which generates the above-mentioned reference voltage  $V_{ref1}$ , and is inputted into a comparator 33 as the comparator [ the reference voltage  $V_{ref1}$  of a predetermined value / output voltage /  $V_c$  / of the current potential conversion capacitor (are recording capacitor) 32 ] (control section) 33. In addition, since the residual configuration is the same as that of drawing 6, it gives the same reference mark to the member which has the same function, and omits explanation.

[0090] While the 1st switch 11 has flowed, the above-mentioned electrical-potential-difference current conversion circuit 31 generates the current proportional to  $V_{in}-V_{out}$  based on input voltage  $V_{in}$  and output voltage  $V_{out}$ , and slushes it into the above-mentioned current potential conversion capacitor 32. On the other hand, while the 1st switch 11 is intercepted, the electrical-potential-difference current conversion circuit 31 draws out the current proportional to output voltage  $V_{out}$  from the above-mentioned current potential conversion capacitor 32. In addition, the proportionality constant of a current generate time is common to an "on" period and a cutoff period.

[0091] Thereby, it is forward current  $I_L$  to which the both-ends electrical potential difference  $V_c$  of the current potential conversion capacitor 32 flows for the induction component 12 as shown in drawing 11. It changes proportionally. Therefore, the time of a reverse current beginning to flow for the induction component 12 is correctly detectable as a time of the both-ends electrical potential difference  $V_c$  being set to 0V. Consequently, if cutoff of the 2nd switch 15 is directed to a control circuit 21 before a comparator 33 compares the both-ends electrical potential difference  $V_c$  with reference voltage  $V_{ref1}$  and the both-ends electrical potential difference  $V_c$  is set to 0 [V], before a reverse current flows for the induction component 12, the 2nd switch 15 can be intercepted. Therefore, even if it is at the time with few output loads, a reverse current does not flow for the induction component 12, and the switching power supply circuit 3 of a step-down mold maintainable to a high value (for example, 80% or more) can always be realized for conversion efficiency.

[0092] [10th operation gestalt] This operation gestalt explains the case where electrical-potential-difference integral control circuit 23a is constituted, with reference to drawing 1212 using the integrator of an analog in switching power supply circuit 3a of the same step-up mold as drawing 7.

[0093] Although electrical-potential-difference integral control circuit 23a concerning this operation gestalt is the same as that of the electrical-potential-difference integral control circuit 23 shown in drawing 10, and abbreviation, it replaces with the electrical-potential-difference current conversion circuit 31, and electrical-potential-difference current conversion circuit 31a for computing the induced current  $I_{La}$  is prepared. While the 1st switch 11 has flowed, the above-mentioned electrical-potential-difference current conversion circuit 31a generates the current proportional to input voltage  $V_{in}$ , and, specifically, slushes it into the above-mentioned current potential conversion capacitor 32. On the other hand, while the 1st switch 11 is intercepted, electrical-potential-difference current conversion circuit 31a draws out the current proportional to  $V_{out}-V_{in}$  from the above-mentioned current potential conversion capacitor 32 based on input voltage  $V_{in}$  and output voltage  $V_{out}$ . In addition, the proportionality constant of a current generate time is common to an "on" period and a cutoff period.

[0094] Thereby, as shown in drawing 13, it is the both-ends electrical potential difference  $V_{ca}$  of the current potential conversion capacitor 32. It changes in proportion to the forward current  $I_{La}$  which flows for the induction component 12. Therefore, it is the both-ends electrical potential difference  $V_{ca}$  about the time of a reverse current beginning to flow for the induction component 12. It is correctly detectable as a time of being set to 0V. Consequently, a comparator 33 is the both-ends electrical potential difference  $V_{ca}$ . Reference voltage  $V_{ref1}$  is compared and it is the both-ends electrical potential difference  $V_{ca}$ . If cutoff of the 2nd switch 15 is directed to a control circuit 21 before being set to 0 [V], before a reverse current flows for the induction component 12, the 2nd switch 15 can be intercepted. Therefore, even if it is at the time with few output loads, a reverse current does not flow for the induction component 12, and switching power supply circuit 3a of a step-down mold maintainable to a high value (for example, 80% or more) can always be realized for conversion efficiency.

[0095] [11th operation gestalt] With this operation gestalt, the case where electrical-potential-difference integral control circuit 23b is constituted is explained again using the integrator of an analog in switching power supply circuit 3b of the same reversal mold as drawing 8, referring to drawing 14.



[0096] Although electrical-potential-difference integral control circuit 23b concerning this operation gestalt is the same as that of the electrical-potential-difference integral control circuit 23 shown in drawing 10, and abbreviation, it replaces with the electrical-potential-difference current conversion circuit 31, and electrical-potential-difference current conversion circuit 31b for computing the induced current  $I_{Lb}$  is prepared. While the 1st switch 11 has flowed, the above-mentioned electrical-potential-difference current conversion circuit 31b generates the current proportional to input voltage  $V_{in}$ , and, specifically, slushes it into the above-mentioned current potential conversion capacitor 32. On the other hand, while the 1st switch 11 is intercepted, electrical-potential-difference current conversion circuit 31b draws out the current proportional to  $-V_o$  from the above-mentioned current potential conversion capacitor 32 based on output voltage  $V_{out}$ . In addition, the proportionality constant of a current generate time is common to an "on" period and a cutoff period.

[0097] Thereby, as shown in drawing 15, it is the both-ends electrical potential difference  $V_{cb}$  of the current potential conversion capacitor 32. It changes in proportion to the forward current  $I_{Lb}$  which flows for the induction component 12. Therefore, it is the both-ends electrical potential difference  $V_{cb}$  about the time of a reverse current beginning to flow for the induction component 12. It is correctly detectable as a time of being set to 0V. Consequently, a comparator 33 is the both-ends electrical potential difference  $V_{cb}$ . Reference voltage  $V_{ref1}$  is compared and it is the both-ends electrical potential difference  $V_{cb}$ . If cutoff of the 2nd switch 15 is directed to a control circuit 21 before being set to 0 [V], before a reverse current flows for the induction component 12, the 2nd switch 15 can be intercepted. Therefore, even if it is at the time with few output loads, a reverse current does not flow for the induction component 12, and switching power supply circuit 3b of a reversal mold maintainable to a high value (for example, 80% or more) can always be realized for conversion efficiency.

[0098] [12th operation gestalt] With this operation gestalt, the case where electrical-potential-difference integral control circuit 23c is constituted is further explained using the integrator of an analog in switching power supply circuit 3c of the same up-and-down mold as drawing 9, referring to drawing 16.

[0099] Although electrical-potential-difference integral control circuit 23c concerning this operation gestalt is the same as that of the electrical-potential-difference integral control circuit 23 shown in drawing 10, and abbreviation, it replaces with the electrical-potential-difference current conversion circuit 31, and electrical-potential-difference current conversion circuit 31c for computing the induced current  $I_{Lc}$  is prepared. While the 1st switch 11 has flowed, the above-mentioned electrical-potential-difference current conversion circuit 31c generates the current proportional to  $V_{in}$  based on input voltage  $V_{in}$ , and, specifically, slushes it into the above-mentioned current potential conversion capacitor 32. On the other hand, while the 1st switch 11 is intercepted, electrical-potential-difference current conversion circuit 31c draws out the current proportional to  $V_o$  from the above-mentioned current potential conversion capacitor 32 based on output voltage  $V_{out}$ . In addition, the proportionality constant of a current generate time is common to an "on" period and a cutoff period.

[0100] Thereby, as shown in drawing 17, it is the both-ends electrical potential difference  $V_{cc}$  of the current potential conversion capacitor 32. It changes in proportion to the forward current  $I_{Lc}$  which flows for the induction component 12. Therefore, it is the both-ends electrical potential difference  $V_{cc}$  about the time of a reverse current beginning to flow for the induction component 12. It is correctly detectable as a time of being set to 0V. Consequently, a comparator 33 is the both-ends electrical potential difference  $V_{cc}$ . Reference voltage  $V_{ref1}$  is compared and it is the both-ends electrical potential difference  $V_{cc}$ . If cutoff of the 2nd switch 15 is directed to a control circuit 21 before being set to 0 [V], before a reverse current flows for the induction component 12, the 2nd switch 15 can be intercepted. Therefore, even if it is at the time with few output loads, a reverse current does not flow for the induction component 12, and switching power supply circuit 3c of a high up-and-down mold maintainable to a high value (for example, 80% or more) can always be realized for conversion efficiency.

[0101] In time, the above 5th thru/or each 12th operation gestalt do not carry out direct detection of the current which flows for the induction component 12 to [the 13th operation gestalt], but since the time of a reverse current beginning to flow for the induction component 12 based on input voltage  $V_{in}$  and output voltage  $V_{out}$  is detected, it is easy to integrate in IC (Integrated Circuit) etc. With this operation gestalt, accumulation explains further the example of a configuration of an easy switching power supply circuit to a detail, referring to drawing 18. In addition, although switching power supply circuit 4c of the same up-and-down mold as the 12th operation gestalt is made into an example and explained below, accumulation can realize an easy circuit

similarly with other operation gestalten.

[0102] That is, the 1st switch 11 consists of MOS transistors N1 of an N channel, and the 2nd switch 15 is constituted from this operation gestalt by MOS transistor P1 of a P channel. Moreover, an impedance component 17 is formed with the induction component L1.

[0103] On the other hand, control circuit 21c concerning this operation gestalt is equipped with the resistance 41-42 which pressures output voltage  $V_{out}$  partially, the power source 43 which generates the reference voltage  $V_{ref2}$  of a predetermined value, and the comparator 44 for error detection with which the electrical potential difference  $V_{adj}$  of the node of both the above-mentioned resistance 41-42 was impressed to the plus input terminal, and the above-mentioned reference voltage  $V_{ref2}$  was impressed to the negative input terminal. Furthermore, the comparator 47 for PWM (Pulse Width Modulation) which makes a plus input the triangular wave generator 45 which generates the triangular wave of a predetermined period, the power source 46 which generates the standard pressure  $V_{ref3}$  of a predetermined value, and the output and the above-mentioned reference voltage  $V_{ref3}$  of the above-mentioned comparator 44, and considers the triangular wave from the above-mentioned triangular wave generator 45 as a negative input is formed in control circuit 21c. The output of the comparator 47 concerned is impressed to the gate of MOS transistor P1 through 2 input NAND circuit 49 while it is impressed to the gate of above-mentioned MOS transistor N1 through an inverter 48.

[0104] In the above-mentioned configuration, the partial pressure of the output voltage  $V_{out}$  is carried out by resistance 41-42, and it is impressed to the comparator 44 for error detection as a feedback electrical potential difference  $V_{adj}$ . The comparator 44 concerned compares reference voltage  $V_{ref2}$  with the feedback electrical potential difference  $V_{adj}$ , and outputs the electrical potential difference according to both error. On the other hand, the comparator 47 for PWM compares the electrical potential difference of the higher one with the triangular wave generated by the triangular wave generator 45 among the output voltage of the above-mentioned comparator 44, and reference voltage  $V_{ref3}$ , and generates a pulse signal. Here, when the feedback electrical potential difference  $V_{adj}$  is larger than reference voltage  $V_{ref2}$ , the output of a comparator 44 changes in the direction in which pulse width decreases, and when the feedback electrical potential difference  $V_{adj}$  is smaller, it is set up so that it may change in the direction which pulse width increases. Therefore, the pulse width of the above-mentioned pulse signal is controlled so that the feedback electrical potential difference  $V_{adj}$  and reference voltage  $V_{ref2}$  are in agreement.

[0105] The above-mentioned pulse signal is impressed at the gate of MOS transistor N1 of an N channel, after it is reversed with an inverter 48. Moreover, the pulse signal concerned is impressed at the gate of MOS transistor P1 of a P channel, after it is reversed in NAND circuit 49, while cutoff of the 2nd switch 15 was not directed from electrical-potential-difference integral control circuit 23c. Therefore, the 2nd switch 15 is intercepted at the time of the flow of the 1st switch 11, and at the time of cutoff of the 1st switch 11, it is controlled so that the 2nd switch 15 flows. Consequently, ON/OFF of both the switches 11-15 are controlled so that output voltage  $V_{out}$  becomes the desired value  $V_{con}$ .

[0106] Between above-mentioned NAND circuit 49 and MOS transistor P1, PURIBAFFA which is not illustrated is prepared in the list between the above-mentioned inverter 48 and MOS transistor N1, respectively, the direction at the time of ON is longer than the time of OFF, and the time delay of each PURIBAFFA is set up. Thereby, both MOS transistors N1 and one side of P1 are controlled not to flow after another side intercepts until the predetermined dead time  $T_{det}$  passes.

[0107] Moreover, when the output voltage of a comparator is lower than reference voltage  $V_{ref3}$ , a comparator 47 compares reference voltage  $V_{ref3}$  with a triangular wave, and generates a pulse signal. Therefore, the maximum of pulse width is restricted, even if the time of starting of switching power supply circuit 4c etc. is the case that output voltage  $V_{out}$  is very low, the "on" period of the 1st switch 11 is restricted and damage on the 1st switch 11 can be prevented.

[0108] In addition, ZURA \*\*\*\*\* may not restrict both MOS transistors N1 and the switch timing of P1 to the above-mentioned configuration, and the timing control section 50 may be prepared and controlled between the above-mentioned inverter 48 and NAND circuit 49, and both MOS transistors N1 and P1 to be shown in drawing 19. In the timing control section 50 concerned, the output of an inverter 48 is impressed to the gate of above-mentioned MOS transistor N1 through AND-circuit50a and buffer 50b. Similarly, the output of NAND circuit 49 is impressed to the gate of above-mentioned MOS transistor P1 through OR circuit50c and buffer 50d. Moreover, the output of the above-mentioned buffer 50b is inputted into the above-mentioned OR circuit

50c, and a buffer 50d output is inputted into the above-mentioned AND-circuit 50a.

[0109] With the configuration concerned, AND-circuit 50a maintained the output at a low level, and has prevented the flow of MOS transistor N1 until buffer 50d directs cutoff of MOS transistor P1, even if the flow of MOS transistor N1 is directed from an inverter 48. And after buffer 50d directs cutoff, the output of AND-circuit 50a becomes high-level, and is impressed to the gate of MOS transistor N1 through buffer 50b. Therefore, the flow timing of MOS transistor N1 is set up by the time delay of AND-circuit 50a and buffer 50b later than the cutoff timing of MOS transistor P1.

[0110] Similarly, OR circuit 50c kept the output high-level, and has prevented the flow of MOS transistor P1 until buffer 50b directs cutoff of MOS transistor N1, even if the flow of MOS transistor P1 is directed from NAND circuit 49. Consequently, the flow timing of MOS transistor P1 is set up later than the cutoff timing of MOS transistor N1.

[0111] On the other hand, as shown in drawing 18, electrical-potential-difference current conversion circuit 31c concerning this operation gestalt Since the current proportional to input voltage  $V_{in}$  is outputted at the time of the flow of the 1st switch 11 The resistance 51-52 which pressures input voltage  $V_{in}$  partially, and the amplifier 53 by which the node of both resistance 51-52 was connected to the plus input terminal, The transistor 55 of the NPN mold with which the base was connected to the output of amplifier 53, and the emitter was grounded through resistance 54, When the signal SON which shows the flow of the 1st switch 11 is received from above-mentioned control circuit 21c, it has current Miller circuit 56 with a switch which turns up and outputs the collector current of the transistor 55 concerned, and the current of the same value. Moreover, negative feedback of the node of the above-mentioned transistor 55 and resistance 54 is carried out to the negative input terminal of amplifier 53, and amplifier 53 can control the base electrical potential difference of a transistor 55 so that the both-ends electrical potential difference of the above-mentioned resistance 54 turns into an electrical potential difference of the node of the above-mentioned resistance 51-52. In addition, the above-mentioned amplifier 53 corresponds to the 1st amplifier circuit given in a claim, and above-mentioned current Miller circuit 56 is equivalent to the 1st current Miller circuit.

[0112] In the above-mentioned configuration, the electrical potential difference which pressured input voltage  $V_{in}$  partially by resistance 51-52, and was generated is transformed into the current which flows to resistance 54 by amplifier 53. The current concerned is turned up by current Miller circuit 56 when the above-mentioned signal SON shows the flow. Thereby, electrical-potential-difference current conversion circuit 31c can output the current proportional to input voltage  $V_{in}$  to the current potential conversion capacitor 32, while the 1st switch 11 has flowed. In addition, when Signal SON does not show the flow, current Miller circuit 56 is carrying out a halt of operation. Therefore, only the output current of current Miller circuit 67 mentioned later is drawn from the current potential conversion capacitor 32.

[0113] Moreover, electrical-potential-difference current conversion circuit 31c concerning this operation gestalt Since the current proportional to output voltage  $V_{out}$  is outputted at the time of cutoff of the 1st switch 11 The resistance 61-62 which pressures output voltage  $V_{out}$  partially, and the amplifier 63 by which the node of both resistance 61-62 was connected to the plus input terminal, The transistor 65 of the NPN mold with which the base was connected to the output of amplifier 63, and the emitter was grounded through resistance 64, Signal SOFF which shows cutoff of the 1st switch 11 from above-mentioned control circuit 21c Current Miller circuit 66 with a switch which turns up and outputs the collector current of the transistor 65 concerned, and the current of the same value when it receives, It has current Miller circuit 67 which turns up again the output current of current Miller circuit 66 concerned. Moreover, negative feedback of the node of the above-mentioned transistor 65 and resistance 64 is carried out to the negative input terminal of amplifier 63, and amplifier 63 can control the base electrical potential difference of a transistor 65 so that the both-ends electrical potential difference of the above-mentioned resistance 64 turns into an electrical potential difference of the node of the above-mentioned resistance 51-62. In addition, the above-mentioned amplifier 63 corresponds to the 2nd amplifier circuit given in a claim, and current Miller circuits 66 and 67 are equivalent to the 2nd current Miller circuit.

[0114] In the above-mentioned configuration, the electrical potential difference which pressured output voltage  $V_{out}$  partially by resistance 61-62, and was generated is transformed into the current which flows to resistance 64 by amplifier 63. The current concerned is the above-mentioned signal SOFF. When cutoff is shown, it is turned up by current Miller circuit 66 and is further turned up by current Miller circuit 67 in the direction of [ from the current potential conversion capacitor 32 ] electrical-potential-difference current conversion circuit

31c. Thereby, electrical-potential-difference current conversion circuit 31c can draw the current which carried out proportionally [ output voltage  $V_{out}$  ] from the current potential conversion capacitor 32, while the 1st switch 11 has flowed. In addition, the above-mentioned signal SOFF When the flow is shown, above-mentioned current Miller circuit 66 does not operate. Therefore, only the output current of above-mentioned current Miller circuit 56 is supplied to the current potential conversion capacitor 32.

[0115] Thereby, while the 1st switch 11 has flowed, electrical-potential-difference current conversion circuit 31c supplies the current proportional to input voltage  $V_{in}$ , and can accumulate a charge in the current potential conversion capacitor 32. On the other hand, while the 1st switch 11 is intercepted, electrical-potential-difference current conversion circuit 31c draws out the current proportional to output voltage  $V_{out}$ , and can emit the charge of the current potential conversion capacitor 32. Consequently, both-ends electrical potential difference  $V_{cc}$  of the current potential conversion capacitor 32 It changes in proportion to the induced current  $I_{Lc}$ .

[0116] Furthermore, a comparator 33 is the both-ends electrical potential difference  $V_{cc}$ . When less than the reference voltage  $V_{ref1}$  of a predetermined value, the induced current  $I_{Lc}$  approaches 0, judges with it flowing to hard flow, and reduces the electrical potential difference outputted to NAND circuit 49. Consequently, in control circuit 21c, NAND circuit 49 always impresses a high-level output to the gate of MOS transistor P1 of a P channel irrespective of the output of a comparator 47. Thereby, the induced current  $I_{Lc}$  can judge a time correctly the bottom to hard flow to be a method of flow, and electrical-potential-difference integral control circuit 23c can make control circuit 21c intercept the 2nd switch 15.

[0117] Here, control circuit 21c of the above-mentioned configuration and electrical-potential-difference integral control circuit 23c are constituted in the circuit where accumulation, such as amplifier, and resistance, a transistor, is easy. Therefore, when control circuit 21c and electrical-potential-difference integral control circuit 23c are accumulated as an IC, highly precise and efficient switching power supply circuit 4c can only consist of carrying out external [ of the 1st switch 11, the induction component 12, a smoothing capacitor 13, the commutation diode 14, the 2nd switch 15, a capacitor 16, and the impedance component 17 ] to the IC concerned. The above-mentioned control circuit 21c includes the circuit where it operates on high frequencies, such as a comparator 44, the triangular wave generator 45, etc. for error detection, and a high precision is demanded. On the other hand, if the operation precision of electrical-potential-difference current conversion circuit 31c is low, since the induced current  $I_{Lc}$  cannot be computed correctly but the timing of a flow/cutoff of the 2nd switch 15 will shift in electrical-potential-difference integral control circuit 23c, the effectiveness of switching power supply circuit 4c falls. Therefore, if control circuit 21c and the electrical-potential-difference integral control circuit 23 are accumulated, since each operation precision can be improved easily, highly precise and efficient switching power supply circuit 4c is realizable. In addition, components mark are further reducible by accumulating the 1st switch 11, the commutation diode 14, and the 2nd switch 15. Moreover, if the division ratio of both resistance 41-42 is changed even if the value of reference voltage  $V_{ref2}$  is fixed, the desired value  $V_{con}$  of output voltage  $V_{out}$  can be changed. Therefore, when external [ of both the resistance 41-42 ] is carried out, the above-mentioned integrated circuit can be shared between the switching power supply circuits which have different desired value  $V_{out}$ .

[0118]

[Effect of the Invention] The induction component to which the synchronous detection circuit concerning invention of claim 1 accumulates energy as mentioned above at the time of the flow of the 1st switch, In the synchronous detection circuit of the step-down mold which has the rectifying device which maintains the current which flows for the above-mentioned induction component at the time of cutoff of the 1st switch, and the 2nd switch connected to the rectifying device at juxtaposition It is a configuration equipped with an induction component current detection means to supervise the 1st current which flows for the above-mentioned induction component, and the 1st control means which intercepts the 2nd switch of the above based on directions of the above-mentioned induction component current detection means.

[0119] With the above-mentioned configuration, the induction component current detection means is supervising the 1st current, and the 1st control means intercepts the 2nd switch, when the 1st current tends to approach 0 and it is going to reverse it according to directions of an induction component current detection means. Thereby, even if it is at the light load time, the current of hard flow does not flow for an induction component, but high conversion efficiency can be maintained for it. Consequently, the effectiveness that the synchronous detection circuit of a step-down mold with always high conversion efficiency is realizable is done

so.

[0120] The synchronous detection circuit concerning invention of claim 2 is a configuration equipped with an induction component current detection means to supervise the 1st current which flows for an induction component in the synchronous detection circuit of a step-up mold as mentioned above, and the 1st control means which intercepts the 2nd switch of the above based on directions of the above-mentioned induction component current detection means.

[0121] So, like claim 1, even if it is at the light load time, the current of hard flow does not flow for an induction component, but high conversion efficiency can be maintained for it. Consequently, the effectiveness that the synchronous detection circuit of the high step-up mold of conversion efficiency is always realizable is done so.

[0122] The synchronous detection circuit concerning invention of claim 3 is a configuration equipped with an induction component current detection means to supervise the 1st current which flows for an induction component in the synchronous detection circuit of a reversal mold as mentioned above, and the 1st control means which intercepts the 2nd switch of the above based on directions of the above-mentioned induction component current detection means.

[0123] So, like claim 1, even if it is at the light load time, the current of hard flow does not flow for an induction component, but high conversion efficiency can be maintained for it. Consequently, the effectiveness that the synchronous detection circuit of the high reversal mold of conversion efficiency is always realizable is done so.

[0124] The synchronous detection circuit concerning invention of claim 4 is a configuration equipped with the induction component for a short circuit or the resistance for a short circuit by which the end was connected as mentioned above in the configuration of invention according to claim 2 or 3 between the node of the 1st switch of the above, and an induction component, the capacitor formed between the above-mentioned rectifying devices, and a capacitor and a rectifying device concerned.

[0125] With the above-mentioned configuration, the energy accumulated in the induction component is outputted through a capacitor at the time of the flow of the 1st switch. So, as a result, the effectiveness that the synchronous detection circuit of the high up-and-down mold of conversion efficiency is always realizable is done.

[0126] The synchronous detection circuit concerning invention of claim 5 is a configuration equipped with the 2nd control means which replaces with an induction component current detection means and the 1st control means, presumes the 1st current of the above in the synchronous detection circuit of the above-mentioned step-down mold as mentioned above based on the above-mentioned input terminal electrical potential difference and an output terminal electrical potential difference, and controls the 2nd switch of the above.

[0127] With the above-mentioned configuration, the 2nd control means presumes the 1st current of the above based on an input terminal electrical potential difference and an output terminal electrical potential difference instead of supervising the 1st current directly using an induction component current detection means. Therefore, it has the same effectiveness as claim 1 which can operate as a switching power supply circuit of a step-down mold, and the effectiveness that a smaller and efficient synchronous detection circuit is realizable is done so.

[0128] The synchronous detection circuit concerning invention of claim 6 is a configuration equipped with the 2nd control means which replaces with an induction component current detection means and the 1st control means, presumes the 1st current of the above in the synchronous detection circuit of the above-mentioned step-up mold as mentioned above based on the above-mentioned input terminal electrical potential difference and an output terminal electrical potential difference, and controls the 2nd switch of the above.

[0129] With the above-mentioned configuration, the 2nd control means presumes the 1st current of the above based on an input terminal electrical potential difference and an output terminal electrical potential difference instead of supervising the 1st current directly using an induction component current detection means. Therefore, it has the same effectiveness as claim 2 which can operate as a switching power supply circuit of a step-up mold, and the effectiveness that a smaller and efficient synchronous detection circuit is realizable is done so.

[0130] The synchronous detection circuit concerning invention of claim 7 is a configuration equipped with the 2nd control means which replaces with an induction component current detection means and the 1st control means, presumes the 1st current of the above in the synchronous detection circuit of the above-mentioned reversal mold as mentioned above based on the above-mentioned input terminal electrical potential difference

and an output terminal electrical potential difference, and controls the 2nd switch of the above.

[0131] With the above-mentioned configuration, the 2nd control means presumes the 1st current of the above based on an input terminal electrical potential difference and an output terminal electrical potential difference instead of supervising the 1st current directly using an induction component current detection means. Therefore, it has the same effectiveness as claim 3 which can operate as a switching power supply circuit of a reversal mold, and the effectiveness that a smaller and efficient synchronous detection circuit is realizable is done so.

[0132] The synchronous detection circuit concerning invention of claim 8 is a configuration equipped with the induction component for a short circuit or the resistance for a short circuit by which the end was connected as mentioned above in the configuration of invention according to claim 6 or 7 between the node of the 1st switch of the above, and an induction component, the capacitor formed between the above-mentioned rectifying devices, and a capacitor and a rectifying device concerned.

[0133] With the configuration concerned, the energy accumulated in the induction component is outputted through a capacitor at the time of the flow of the 1st switch. Therefore, it has the same effectiveness as claim 4 which can operate as a switching power supply circuit of fluctuated type \*\*, and the effectiveness that a smaller and efficient synchronous detection circuit is realizable is done so.

[0134] The synchronous detection circuit concerning invention of claim 9 is set as mentioned above in the configuration of invention according to claim 5, 6, 7, or 8. The above-mentioned control means The electrical-potential-difference current transducer which generates the current according to the amount of fluctuation of the 1st current of the above based on whether the above-mentioned input terminal electrical potential difference, an output terminal electrical potential difference, and the 1st switch of the above have flowed, It is a configuration equipped with the control section which controls the 2nd switch of the above to the output of the electrical-potential-difference current transducer concerned based on the electrical potential difference of the 1st edge of the are recording capacitor to which the 1st edge was connected, and the are recording capacitor concerned.

[0135] With the above-mentioned configuration, since the amount of fluctuation of the 1st current concerned computed based on the input/output terminal electrical potential difference is integrated with and computed, the 1st current can be presumed very with high precision. Consequently, it can prevent certainly that a reverse current flows for an induction component, and the effectiveness that the conversion efficiency of a synchronous detection circuit can be improved further is done so.

[0136] In addition, since it is realizable in analog circuits, such as amplifier, the above-mentioned current potential transducer and a control section are easy to integrate, and can reduce power consumption and circuit scales compared with the case where it realizes in a digital circuit. Consequently, the effectiveness that small and the synchronous detection circuit of a low power are realizable is collectively done so.

[0137] The synchronous detection circuit concerning invention of claim 10 is set in the configuration of invention according to claim 9 as mentioned above. The above-mentioned electrical-potential-difference current transducer The 1st amplifier circuit which generates the current which was based at least on one side among the above-mentioned input terminal electrical potential difference and the output terminal electrical potential difference, and is proportional to the amount of fluctuation of the 1st current of the above at the time of the flow of the 1st switch, The 1st current Miller circuit which slushes the output current of the above-mentioned 1st amplifier circuit, and the same quantity of a current into the 1st edge of the above-mentioned are recording capacitor only at the time of the flow of the 1st switch of the above, The 2nd amplifier circuit which generates the current which was based at least on one side among the above-mentioned input terminal electrical potential difference and the output terminal electrical potential difference, and is proportional to the amount of fluctuation of the 1st current of the above at the time of cutoff of the 1st switch, It is the configuration equipped with the 2nd current Miller circuit which draws out the output current of the above-mentioned 2nd amplifier circuit, and the same quantity of a current from the 1st edge of the above-mentioned are recording capacitor only at the time of cutoff of the 1st switch of the above.

[0138] With the above-mentioned configuration, at the time of the flow of the 1st switch, the 1st amplifier circuit and the 1st current Miller circuit operate, and a charge is accumulated in the 1st edge of the above-mentioned are recording capacitor. On the other hand, at the time of cutoff of the 1st switch, the 2nd amplifier circuit and the 2nd current Miller circuit operate, and a charge is emitted from the 1st edge of the above-mentioned are recording capacitor. So, an electrical-potential-difference current conversion circuit does the effectiveness that the current according to the amount of fluctuation of the 1st current of the above is generable

in a high precision, in the both sides of the flow of the 1st switch, and the time of cutoff.

---

[Translation done.]

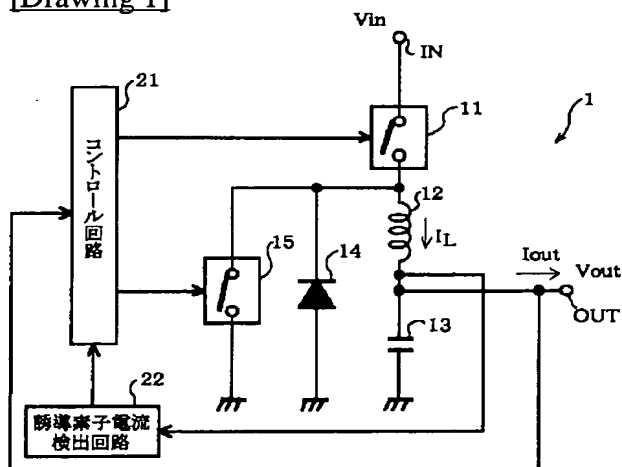
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

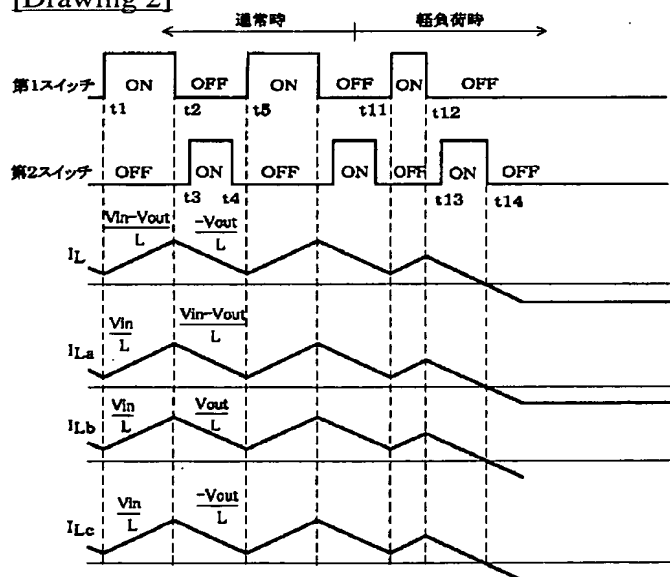
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

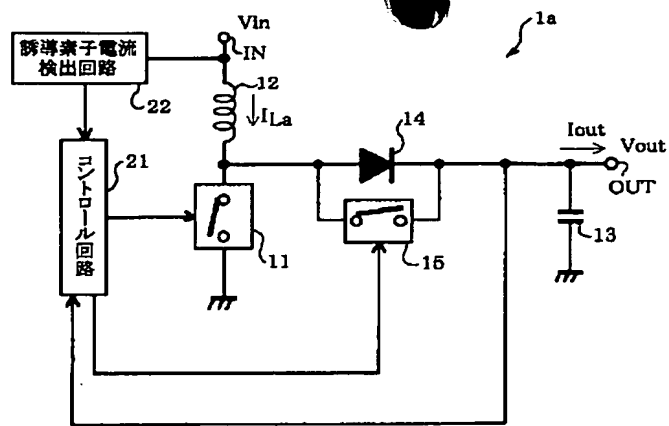


[Drawing 2]

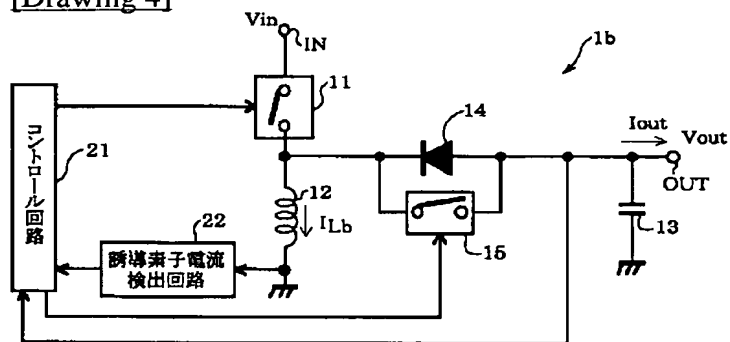


[Drawing 3]

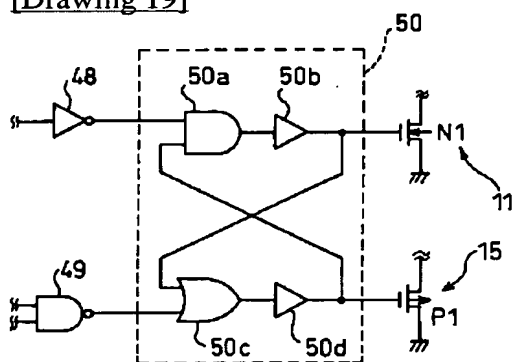




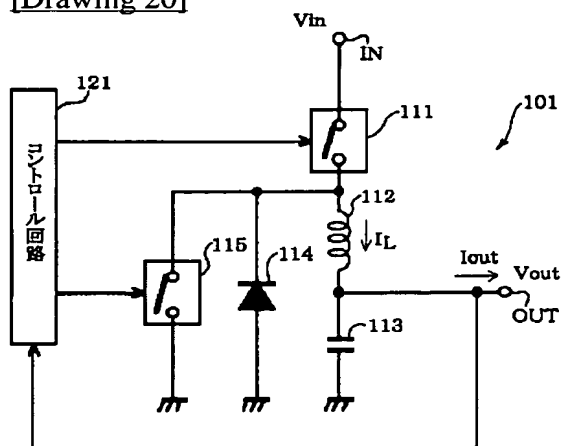
[Drawing 4]



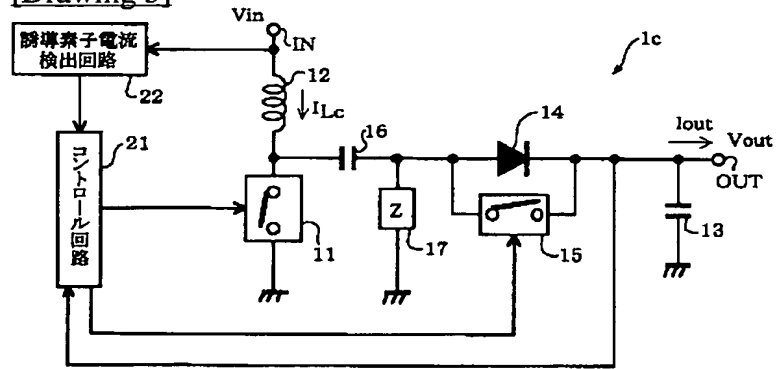
[Drawing 19]



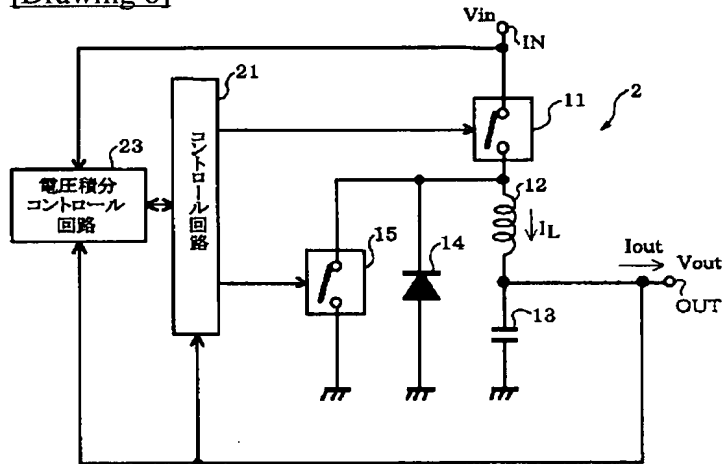
[Drawing 20]



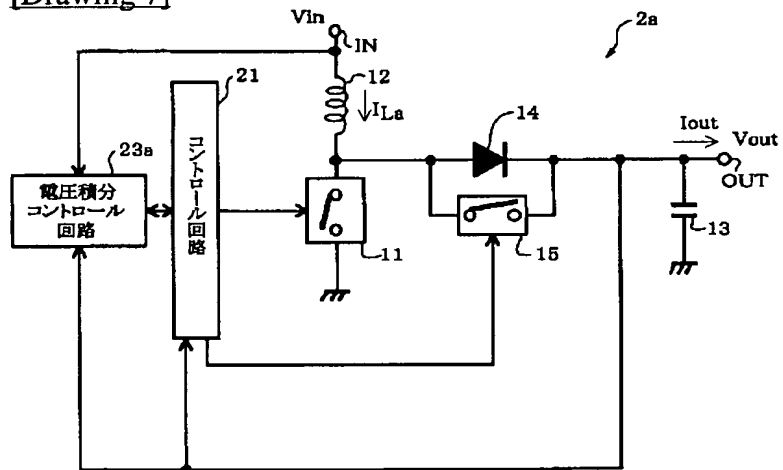
[Drawing 5]



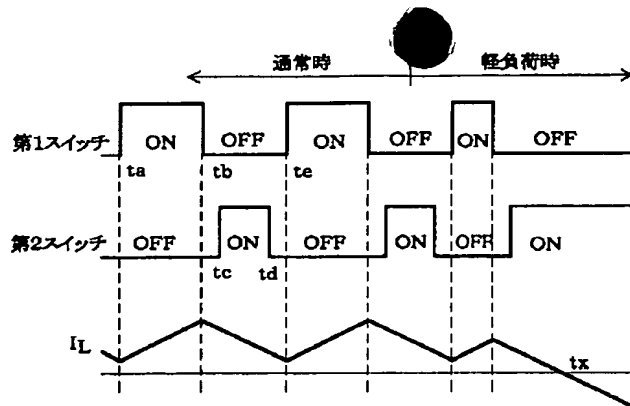
[Drawing 6]



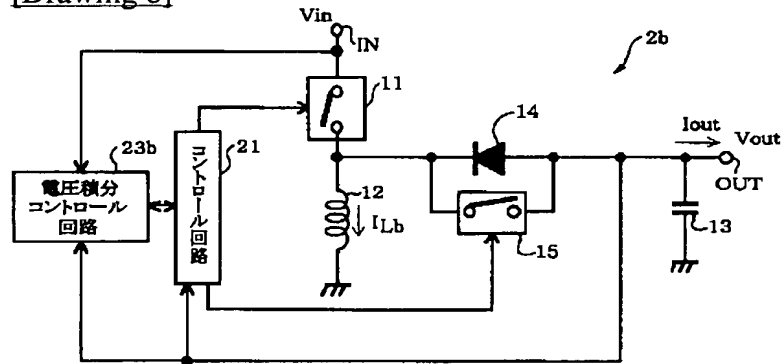
[Drawing 7]



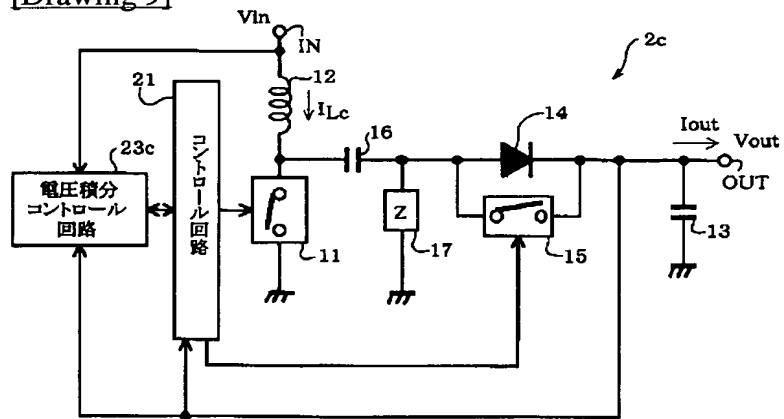
[Drawing 21]



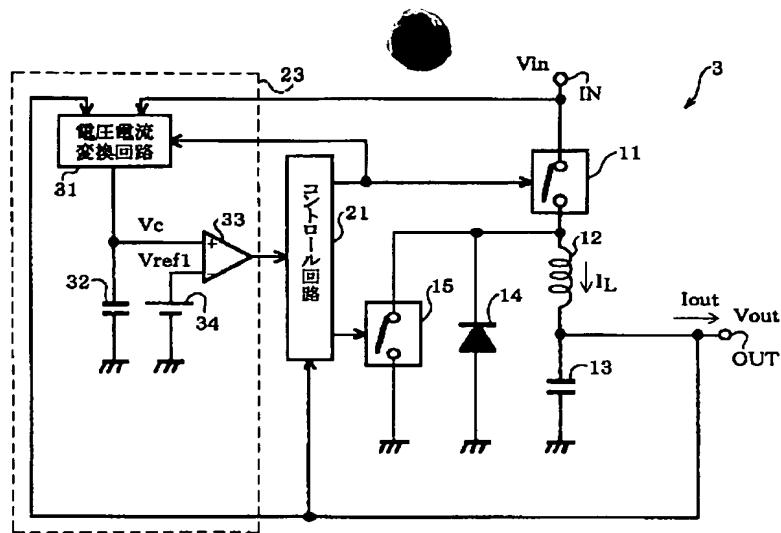
[Drawing 8]



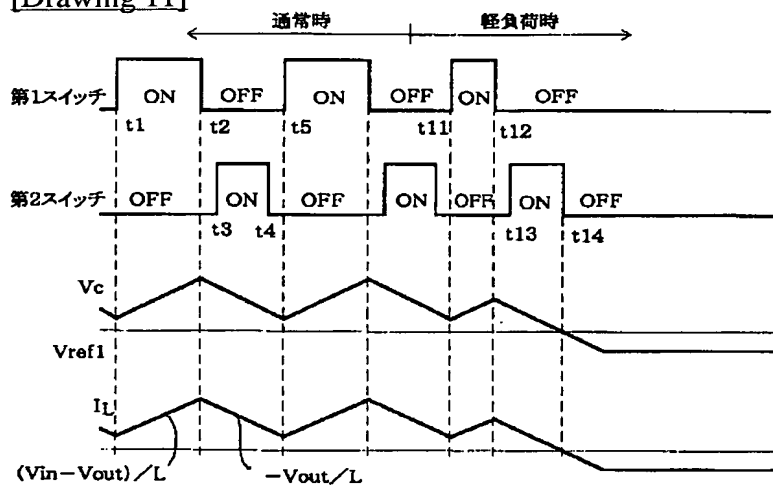
[Drawing 9]



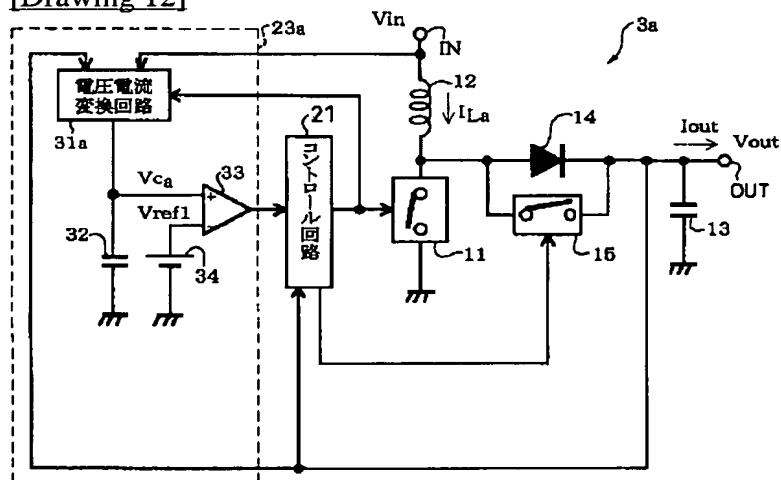
[Drawing 10]



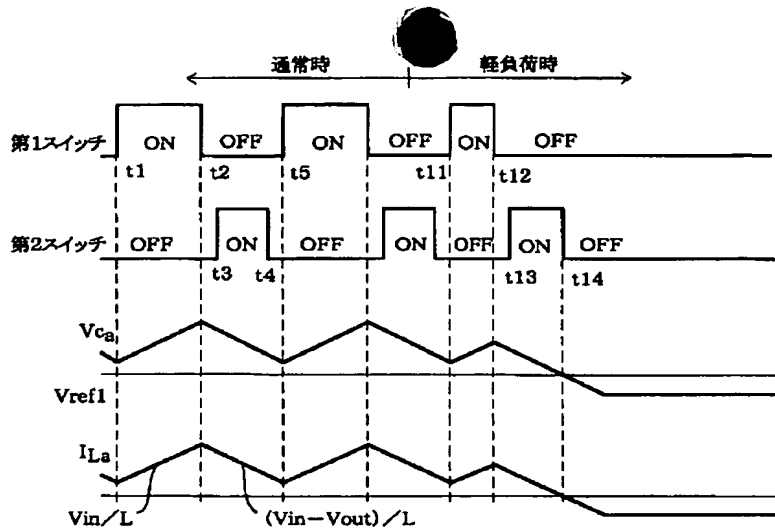
[Drawing 11]



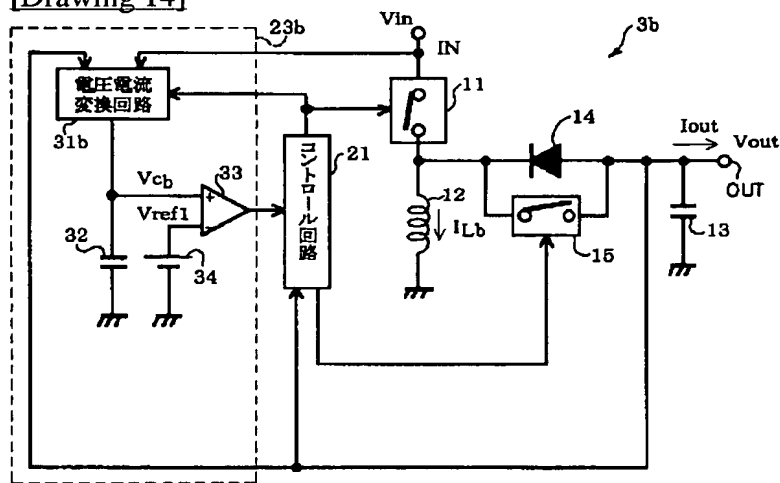
[Drawing 12]



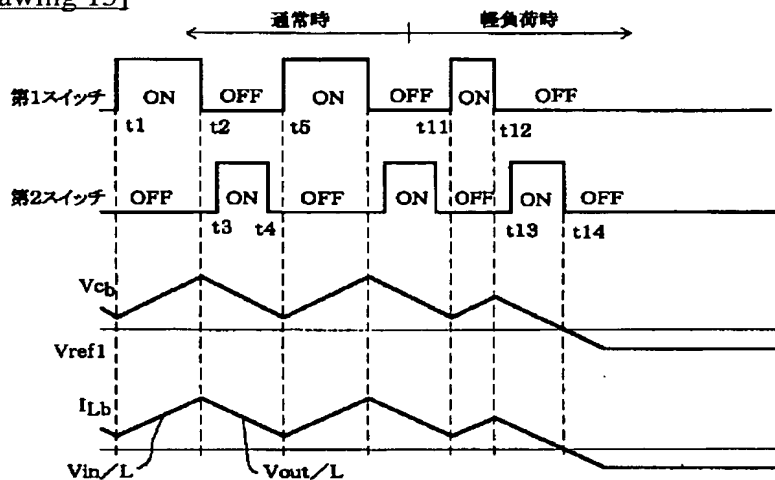
[Drawing 13]



[Drawing 14]



[Drawing 15]



[Drawing 16]




---

[Translation done.]

# SYNCHRONIZED RECTIFIER CIRCUIT

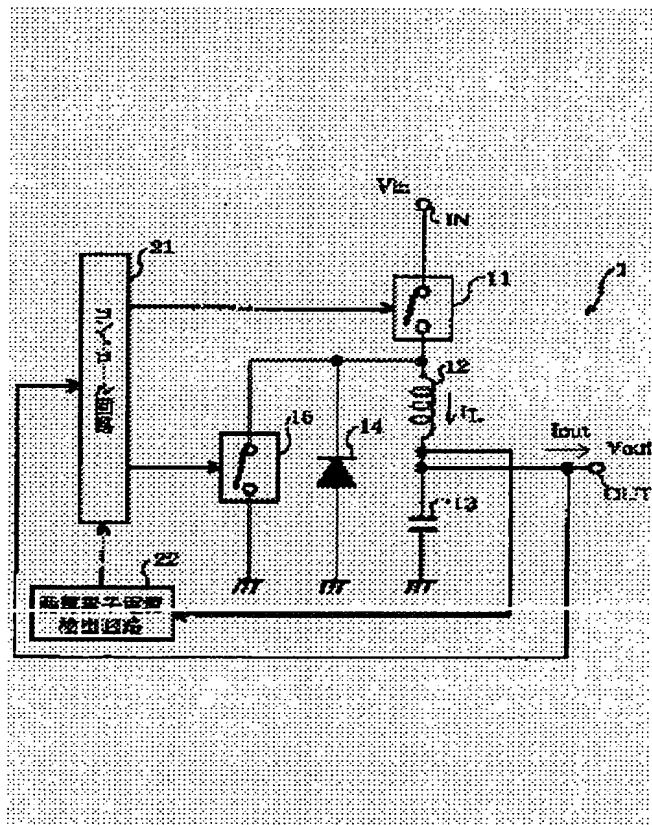
**Patent number:** JP11235022  
**Publication date:** 1999-08-27  
**Inventor:** KONDO KATSUYOSHI  
**Applicant:** SHARP KK  
**Classification:**  
 - international: H02M3/155  
 - european: H02M3/158S  
**Application number:** JP19980028987 19980210  
**Priority number(s):** JP19980028987 19980210

Also published as:

 US6151233 (A)

## Abstract of JP11235022

**PROBLEM TO BE SOLVED:** To realize a switching power supply circuit utilizing a synchronized rectifier system having higher conversion efficiency even when the load is small. **SOLUTION:** When a first switch 11 is turned OFF, a current  $I_L$  of an induction element 12 is maintained with a current communication diode 14, while an induction element 12 releases the accumulated energy when it becomes conductive. A second switch 15 connected in parallel to the current communication diode 14 becomes conductive, in such a manner as not overlapping on the conductive period of the first switch 11. When the second switch 15 is conductive, since the current  $I_L$  does not flow into the current communication diode 14, efficiency drop by forward voltage drop can be prevented. An induction element current detecting circuit 22 monitors the current  $I_L$ . When it is to be inverted, instruction is issued to a control circuit 21 to cut off the second switch 15. Thereby, even when a load is small, an inverse current does not flow into the induction element 12 to realize highly efficient switching power supply circuit.



Data supplied from the esp@cenet database - Worldwide



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-235022

(43) 公開日 平成11年(1999) 8月27日

(51) IntCl.<sup>6</sup>

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

H

F

審査請求 未請求 請求項の数10 O L (全 23 頁)

(21) 出願番号

特願平10-28987

(22) 出願日

平成10年(1998) 2月10日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 近藤 克佳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

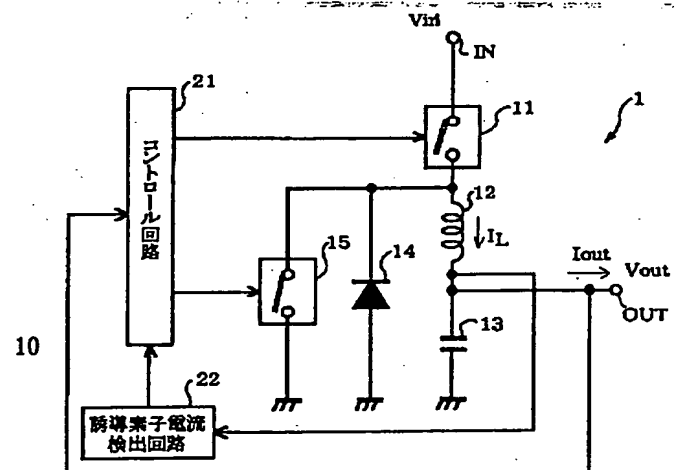
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 同期整流回路

(57) 【要約】

【課題】 負荷が小さいときにも、変換効率の高い、同期整流方式を用いたスイッチング電源回路を実現する。

【解決手段】 第1スイッチ11が遮断されると、誘導素子12の電流 $I_L$ は、転流ダイオード14によって維持され、誘導素子12は導通時に蓄積したエネルギーを放出する。転流ダイオード14に並列接続された第2スイッチ15は、第1スイッチ11の導通期間と重ならないように導通する。第2スイッチ15の導通時には、上記電流 $I_L$ は、転流ダイオード14を流れないので、順方向電圧降下に起因する効率低下を防止できる。誘導素子電流検出回路22は、上記電流 $I_L$ を監視して、向きが逆になろうとした場合、コントロール回路21へ指示して、第2スイッチ15を遮断させる。これにより、負荷が小さいときでも、誘導素子12に逆方向電流が流れず、高効率なスイッチング電源回路を実現できる。



1

## 【特許請求の範囲】

【請求項1】入出力端子間に設けられた誘導素子と、当該誘導素子と入力端子との間に設けられた第1スイッチと、

上記第1スイッチと誘導素子との間に一端が接続され、当該誘導素子に流れる第1電流を維持する極性を有する整流素子と、

当該整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回路において、

上記第1電流を監視する誘導素子電流検出手段と、上記誘導素子電流検出手段の指示に基づいて、上記第2スイッチを遮断する第1の制御手段とを備えていることを特徴とする同期整流回路。

【請求項2】入出力端子間に設けられた誘導素子と、当該誘導素子と出力端子との間に設けられ、当該誘導素子に流れる第1電流を維持する極性を有する整流素子と、

上記誘導素子と整流素子との間に一端が接続された第1スイッチと、

上記整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回路において、

上記第1電流を監視する誘導素子電流検出手段と、上記誘導素子電流検出手段の指示に基づいて、上記第2スイッチを遮断する第1の制御手段とを備えていることを特徴とする同期整流回路。

【請求項3】入出力端子間に設けられた第1スイッチと、

上記第1スイッチと出力端子との間に設けられ、上記出力端子から入力端子への方向の極性を有する整流素子と、

当該整流素子と第1スイッチとの間に一端が接続された誘導素子と、

上記整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回路において、

上記第1電流を監視する誘導素子電流検出手段と、上記誘導素子電流検出手段の指示に基づいて、上記第2スイッチを遮断する第1の制御手段とを備えていることを特徴とする同期整流回路。

【請求項4】上記第1スイッチおよび誘導素子の接続点と、上記整流素子との間に設けられたコンデンサと、当該コンデンサと整流素子との間に一端が接続された短絡用誘導素子または短絡用抵抗とを備えていることを特徴とする請求項2または3記載の同期整流回路。

【請求項5】入出力端子間に設けられた誘導素子と、当該誘導素子と入力端子との間に設けられた第1スイッチと、

上記第1スイッチと誘導素子との間に一端が接続され、

2

当該誘導素子に流れる第1電流を維持する極性を有する整流素子と、

当該整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回路において、

上記入力端子電圧と出力端子電圧とに基づいて、上記第1電流を推定し、上記第2スイッチを制御する第2の制御手段を備えていることを特徴とする同期整流回路。

【請求項6】入出力端子間に設けられた誘導素子と、

10 当該誘導素子と出力端子との間に設けられ、当該誘導素子に流れる第1電流を維持する極性を有する整流素子と、

上記誘導素子と整流素子との間に一端が接続された第1スイッチと、

上記整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回路において、

上記入力端子電圧と出力端子電圧とに基づいて、上記第1電流を推定し、上記第2スイッチを制御する第2の制御手段を備えていることを特徴とする同期整流回路。

20 【請求項7】入出力端子間に設けられた第1スイッチと、

上記第1スイッチと出力端子との間に設けられ、上記出力端子から入力端子への方向の極性を有する整流素子と、

当該整流素子と第1スイッチとの間に一端が接続された誘導素子と、

上記整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回路において、

30 上記入力端子電圧と出力端子電圧とに基づいて、上記第1電流を推定し、上記第2スイッチを制御する第2の制御手段を備えていることを特徴とする同期整流回路。

【請求項8】上記第1スイッチおよび誘導素子の接続点と、上記整流素子との間に設けられたコンデンサと、当該コンデンサと整流素子との間に一端が接続された短絡用誘導素子または短絡用抵抗とを備えていることを特徴とする請求項6または7記載の同期整流回路。

【請求項9】上記第2の制御手段は、上記入力端子電圧と出力端子電圧と上記第1スイッチが導通しているか否かとに基づいて、上記第1電流の変動量に応じた電流を生成する電圧電流変換部と、

当該電圧電流変換部の出力に、第1端部が接続された蓄積コンデンサと、

当該蓄積コンデンサの第1端部の電圧に基づいて、上記第2スイッチを制御する制御部とを備えていることを特徴とする請求項5、6、7または8記載の同期整流回路。

50 【請求項10】上記電圧電流変換部は、上記入力端子電圧および出力端子電圧のうち、少なくとも一方に基づい

3

て、第1スイッチの導通時における上記第1電流の変動量に比例した電流を生成する第1アンプ回路と、  
 上記第1スイッチの導通時にのみ、上記第1アンプ回路の出力電流と同じ量の電流を上記蓄積コンデンサの第1端部へ流し込む第1のカレントミラー回路と、  
 上記入力端子電圧および出力端子電圧のうち、少なくとも一方に基づいて、第1スイッチの遮断時における上記第1電流の変動量に比例した電流を生成する第2アンプ回路と、  
 上記第1スイッチの遮断時にのみ、上記第2アンプ回路の出力電流と同じ量の電流を上記蓄積コンデンサの第1端部から引き抜く第2のカレントミラー回路とを備えていることを特徴とする請求項9記載の同期整流回路。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、所望の出力に応じた比率で入力される電力を断続した後、平滑化して出力するスイッチング電源回路のうち、同期整流方式を用いた同期整流回路に関し、特に、軽負荷時にも効率が低下しない同期整流回路に関するものである。

#### 【0002】

【従来の技術】スイッチング電源回路は、小型かつ高効率な電源回路として、従来から広く用いられている。当該スイッチング電源回路は、入力電力を断続した後、平滑化して出力するものであって、出力電圧や出力電流に基づいて、断続する際の比率を調整することによって、負荷の変動に拘わらず、一定の値の電圧や電流を負荷へ供給できる。

【0003】近年では、スイッチング電源回路の効率をさらに改善するために、種々の方法が提案されており、例えば、特開平9-261950号公報では、同期整流方式を採用したスイッチング電源回路（同期整流回路）が開示されている。

【0004】図20に示すように、従来の同期整流回路101において、第1スイッチ111が導通している間、入力端子INに入力された入力電圧 $V_{in}$ は、誘導素子112および第1スイッチ111を介して、出力端子OUTに印加される。また、出力電圧 $V_{out}$ を一定に保つために、出力端子OUTは、平滑コンデンサ113を介して接地されている。

【0005】この状態では、誘導素子112には、エネルギーが蓄積され、誘導素子112にて、出力端子OUTへの方向に流れる電流 $I_L$ は、図21に示すように、 $(V_{in}-V_{out})/L$ の傾きで増加する（図21の $t_a$ から $t_b$ までの期間）。

【0006】一方、上記誘導素子112および平滑コンデンサ113の直列回路には、転流ダイオード114および第2スイッチ115が、それぞれ並列に設けられており、第1スイッチ111が遮断されると（ $t_b$ の時点）、誘導素子112を流れる電流 $I_L$ は、当該転流ダ

4

イオード114と、導通した第2スイッチ115とによって維持される。この状態では、誘導素子112に蓄積されたエネルギーは、放出され、電流 $I_L$ は、 $-V_{out}/L$ の傾きで減少する（ $t_b$ から $t_e$ までの期間）。 $t_e$ の時点になると、上記第1スイッチ111が再び導通して、誘導素子112へエネルギーを蓄積しはじめる。

【0007】上記第1および第2スイッチ111・115は、コントロール回路121によって制御されており、コントロール回路121は、出力電圧 $V_{out}$ を監視して、一定の値になるように、第1スイッチ111の導通期間と遮断期間との割合を制御する。ここで、上記両スイッチ111・115が同時に導通すると、入力端子INは、両スイッチ111・115を介して接地され、非常に大きな貫通電流が流れてしまう。したがって、コントロール回路121は、第1スイッチ111の切り換えタイミングと、第2スイッチ115の切り換えタイミングとの間に、所定のデッドタイム $T_{det}$ を設け、両スイッチ111・115が同時に導通しないように制御している。

【0008】上記構成では、第2スイッチ115が導通している間、誘導素子112を流れる電流 $I_L$ は、主として、第2スイッチ115を流れ、転流ダイオード114には、殆ど電流が流れない。したがって、出力負荷電流 $I_{out}$ が大きい重負荷時であっても、転流ダイオード114による順方向電圧損失は発生せず、極めて効率のよい同期整流回路101を実現できる。

#### 【0009】

【発明が解決しようとする課題】しかしながら、上記構成の同期整流回路101は、軽負荷時において、効率が低下しやすいという問題を有している。具体的には、軽負荷時には、負荷電流 $I_{out}$ が極めて少なく、コントロール回路121は、第1スイッチ111の遮断期間を長く設定する。この結果、第1スイッチ111の導通期間に誘導素子112へ蓄積されたエネルギーが全て放出された時点（ $t_x$ ）を過ぎても、第1スイッチ111が導通しないことがある。この状態では、通常とは、逆に、出力端子OUTから、誘導素子112および第2スイッチ115を介してGNDへ電流が流れる。この結果、同期整流回路101の変換効率が50%以下にまで低下してしまう。

【0010】なお、第2スイッチ115が極性を有していれば、逆方向の電流を防止できるが、第2スイッチ115として、MOSFETを利用すると、MOSFET内に形成されたボディダイオードによって、極性と反対の方向にも電流が流れてしまう。ここで、逆方向電流を除去するために、例えば、ダイオードなどの整流素子をMOSFETに直列に接続すれば、当該ダイオードの順方向電圧によって、重負荷時の効率が低下してしまう。

【0011】本発明は、上記の問題点を鑑みてなされたものであり、その目的は、負荷が小さいときにも、変換

10

20

30

40

50

5

効率の高いスイッチング電源回路を実現することにある。

【0012】

【課題を解決するための手段】請求項1の発明に係る同期整流回路は、上記課題を解決するために、入出力端子間に設けられた誘導素子と、当該誘導素子と入力端子との間に設けられた第1スイッチと、上記第1スイッチと誘導素子との間に一端が接続され、当該誘導素子に流れる第1電流を維持する極性を有する整流素子と、当該整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回路において、上記第1電流を監視する誘導素子電流検出手段と、上記誘導素子電流検出手段の指示に基づいて、上記第2スイッチを遮断する第1の制御手段とを備えていることを特徴としている。

【0013】上記構成の同期整流回路では、通常時において、第1スイッチの導通時に、誘導素子に流れる第1電流として誘導素子へ蓄積されたエネルギーは、第1スイッチの遮断時に放出される。したがって、同期整流回路は、ステップダウン型のスイッチング電源回路となり、第1スイッチの導通期間と遮断期間との割合を制御することによって、出力電圧や出力電流などの出力を所定の値に保つことができる。

【0014】上記構成では、第1スイッチが遮断されている間、上記第1電流は、整流素子および第2スイッチの並列回路によって維持される。ここで、第2スイッチが導通している間、第1電流は、第2スイッチを経由して流れるので、整流素子の順方向電圧損失など、第1電流が整流素子を流れた場合に発生する損失は発生しない。したがって、出力負荷電流が大きい場合であっても、極めて効率良く同期整流できる。

【0015】ところで、第2スイッチは、整流素子に順方向電流が流れる期間を短くするために、第1スイッチの導通期間と重ならない範囲で、できるだけ長く設定することが望まれる。したがって、多くの場合、例えば、所定のデッドタイムの間だけ、第1および第2スイッチの双方を遮断し、残余の期間では、第1スイッチおよび第2スイッチのうちの一方のみが導通するように制御される。なお、第1および第2スイッチの導通期間が重なれば、両スイッチを介して貫通電流が流れ、同期整流回路の効率を大幅に低下させる。

【0016】一方、出力負荷電流が極めて少ない軽負荷時には、第1スイッチの導通期間の割合は、通常時に比べて極めて短くなる。この状態では、上記第1電流が0に近づき、反転しようとした時点になっても、第1スイッチが導通しない場合がある。この状態を放置して、第2スイッチを導通させ続けていると、上記第1電流の向きは逆転し、出力端子は、誘導素子を介して接地レベルに短絡されてしまうので、同期整流回路の効率を大幅に低下させる。

6

【0017】ところが、上記構成では、誘導素子電流検出手段が、第1電流を監視しており、第1電流が0に近づき、逆転しようとしていることを検出する。第1の制御手段は、この検出結果に基づいて、第1電流が逆転しようした場合、第1スイッチが導通しているか否かに拘わらず、第2スイッチを遮断する。これにより、軽負荷時であっても、誘導素子には、逆方向の電流が流れない。したがって、軽負荷時であっても、変換効率の高い同期整流回路を実現できる。

10 【0018】なお、通常時には、誘導素子電流検出手段が第2スイッチの遮断を指示しないので、従来の同期整流回路と同様に、第2スイッチの導通期間を十分長く設定できる。したがって、常に、同期整流回路の変換効率を高いレベルに維持できる。

【0019】また、請求項2の発明に係る同期整流回路は、上記課題を解決するために、入出力端子間に設けられた誘導素子と、当該誘導素子と出力端子との間に設けられ、当該誘導素子に流れる第1電流を維持する極性を有する整流素子と、上記誘導素子と整流素子との間に一端が接続された第1スイッチと、上記整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回路において、上記第1電流を監視する誘導素子電流検出手段と、上記誘導素子電流検出手段の指示に基づいて、上記第2スイッチを遮断する第1の制御手段とを備えていることを特徴としている。

20 【0020】上記構成によれば、第1スイッチの導通時に、誘導素子に蓄積されたエネルギーは、第1スイッチの遮断時に、入力端子に印加される電圧に重畳されて出力される。これにより、同期整流回路は、ステップアップ型のスイッチング電源回路となり、第1スイッチの導通期間と遮断期間との割合を制御することによって、出力電圧や出力電流などの出力を所定の値に保つことができる。

30 【0021】上記構成においても、請求項1の構成と同様に、誘導素子電流検出手段が、第1電流を監視しており、第1の制御手段は、第1電流が0に近づき、逆転しようとしている場合、第1スイッチが導通しているか否かに拘わらず、第2を遮断する。これにより、軽負荷時であっても、誘導素子には、逆方向の電流が流れない。したがって、軽負荷時であっても、変換効率の高い同期整流回路を実現できる。

40 【0022】さらに、請求項3の発明に係る同期整流回路は、上記課題を解決するために、入出力端子間に設けられた第1スイッチと、上記第1スイッチと出力端子との間に設けられ、上記出力端子から入力端子への方向の極性を有する整流素子と、当該整流素子と第1スイッチとの間に一端が接続された誘導素子と、上記整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回

50

7

路において、上記第1電流を監視する誘導素子電流検出手段と、上記誘導素子電流検出手段の指示に基づいて、上記第2スイッチを遮断する第1の制御手段とを備えていることを特徴としている。

【0023】上記構成によれば、第1スイッチの導通時に、誘導素子に蓄積されたエネルギーは、第1スイッチの遮断時に、極性が反転されて出力される。これにより、同期整流回路は、反転型のスイッチング電源回路となり、第1スイッチの導通期間と遮断期間との割合を制御することによって、出力電圧や出力電流などの出力を所定の値に保つことができる。

【0024】上記構成においても、請求項1の構成と同様に、誘導素子電流検出手段が、第1電流を監視しており、第1の制御手段は、第1電流が0に近づき、逆転しようとしている場合、第1スイッチが導通しているか否かに拘わらず、第2を遮断する。これにより、軽負荷時であっても、誘導素子には、逆方向の電流が流れない。したがって、軽負荷時であっても、変換効率の高い同期整流回路を実現できる。

【0025】加えて、請求項4の発明に係る同期整流回路は、請求項2または3記載の発明の構成において、上記第1スイッチおよび誘導素子の接続点と、上記整流素子との間に設けられたコンデンサと、当該コンデンサと整流素子との間に一端が接続された短絡用誘導素子または短絡用抵抗とを備えていることを特徴としている。

【0026】当該構成では、第1スイッチの導通時に、誘導素子に蓄積されたエネルギーは、コンデンサを介して出力される。これにより、同期整流回路は、アップダウン型のスイッチング電源回路となり、第1スイッチの導通期間と遮断期間との割合を制御することによって、出力電圧や出力電流などの出力を所定の値に保つことができる。

【0027】上記構成においても、請求項1の構成と同様に、誘導素子電流検出手段が、第1電流を監視しており、第1の制御手段は、第1電流が0に近づき、逆転しようとしている場合、第1スイッチが導通しているか否かに拘わらず、第2を遮断する。これにより、軽負荷時であっても、誘導素子には、逆方向の電流が流れない。したがって、軽負荷時であっても、変換効率の高い同期整流回路を実現できる。

【0028】一方、請求項5の発明に係る同期整流回路は、上記課題を解決するために、入出力端子間に設けられた誘導素子と、当該誘導素子と入力端子との間に設けられた第1スイッチと、上記第1スイッチと誘導素子との間に一端が接続され、当該誘導素子に流れる第1電流を維持する極性を有する整流素子と、当該整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回路において、上記入力端子電圧と出力端子電圧とに基づいて、上記第1電流を推定し、上記第2スイッチを制御す

8

る第2の制御手段を備えていることを特徴としている。

【0029】上記構成では、誘導素子電流検出手段を用いて第1電流を直接監視する代わりに、第2の制御手段が、入力端子電圧と出力端子電圧とに基づいて上記第1電流を推定している。したがって、電流を検出するために第1電流の流路上に抵抗を設けたり、磁気センサなどによって、第1電流を検出する場合とは異なり、電圧を増幅するアンプなどを用いて第2の制御手段を構成できる。したがって、ステップダウン型のスイッチング電源回路として動作可能な請求項1と同様の効果を有し、より小型で高効率の同期整流回路を実現できる。

【0030】また、請求項6の発明に係る同期整流回路は、上記課題を解決するために、入出力端子間に設けられた誘導素子と、当該誘導素子と出力端子との間に設けられ、当該誘導素子に流れる第1電流を維持する極性を有する整流素子と、上記誘導素子と整流素子との間に一端が接続された第1スイッチと、上記整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回路において、上記入力端子電圧と出力端子電圧とに基づいて、上記第1電流を推定し、上記第2スイッチを制御する第2の制御手段を備えていることを特徴としている。

【0031】上記構成では、請求項5の発明に係る同期整流回路と同様に、第2の制御手段が、入力端子電圧と出力端子電圧とに基づいて上記第1電流を推定している。したがって、ステップアップ型のスイッチング電源回路として動作可能な請求項2と同様の効果を有し、より小型で高効率の同期整流回路を実現できる。

【0032】さらに、請求項7の発明に係る同期整流回路は、上記課題を解決するために、入出力端子間に設けられた第1スイッチと、上記第1スイッチと出力端子との間に設けられ、上記出力端子から入力端子へ方向の極性を有する整流素子と、当該整流素子と第1スイッチとの間に一端が接続された誘導素子と、上記整流素子へ並列に接続され、上記第1スイッチの導通期間と重ならないように導通する第2スイッチとを有する同期整流回路において、上記入力端子電圧と出力端子電圧とに基づいて、上記第1電流を推定し、上記第2スイッチを制御する第2の制御手段とを備えていることを特徴としている。

【0033】上記構成では、請求項5の発明に係る同期整流回路と同様に、第2の制御手段が、入力端子電圧と出力端子電圧とに基づいて上記第1電流を推定している。したがって、反転型のスイッチング電源回路として動作可能な請求項3と同様の効果を有し、より小型で高効率の同期整流回路を実現できる。

【0034】加えて、請求項8の発明に係る同期整流回路は、請求項6または7記載の発明の構成において、上記第1スイッチおよび誘導素子の接続点と、上記整流素子との間に設けられたコンデンサと、当該コンデンサと

10

20

30

40

50

9

整流素子との間に一端が接続された短絡用誘導素子または短絡用抵抗とを備えていることを特徴としている。

【0035】当該構成では、第1スイッチの導通時に、誘導素子に蓄積されたエネルギーは、コンデンサを介して出力される。したがって、アップダウン型のスイッチング電源回路として動作可能な請求項4と同様の効果を有し、より小型で高効率の同期整流回路を実現できる。

【0036】ところで、上記第2の制御手段が入力端子電圧および出力端子電圧に基づいて、第1電流を推定する方法や第2の制御手段の実現方法は、種々の方法が考えられる。例えば、第2の制御手段は、アナログ回路で実現してもよいし、デジタル回路で実現することもできる。また、ある時点の入出力電圧に基づいて、第1電流が逆転する時点近傍における第1電流を算出してもよい。少なくとも、第1電流が逆転する時点を算出可能な程度に、第1電流を推定できる方法であれば、種々の算出方法を採用できる。

【0037】ただし、実際に第1電流の向きが反転する時点と、第1電流の推定結果に基づいて、第2スイッチを遮断する時点とが一致していない場合は、同期整流回路の効率を低下させてしまう。

【0038】ここで、請求項9の発明に係る同期整流回路は、請求項5、6、7または8記載の発明の構成において、上記第2の制御手段は、上記入力端子電圧と出力端子電圧と上記第1スイッチが導通しているか否かとに基づいて、上記第1電流の変動量に応じた電流を生成する電圧電流変換部と、当該電圧電流変換部の出力に、第1端部が接続された蓄積コンデンサと、当該蓄積コンデンサの第1端部の電圧に基づいて、上記第2スイッチを制御する制御部とを備えていることを特徴としている。

【0039】一般に、第1電流の変動量は、第1スイッチが導通しているか否かが決定されれば、入出力端子電圧から算出できる。請求項5の構成を例にして、入出力電圧を $V_{in}$ 、 $V_{out}$ とし、誘導素子のリアクタンスを $L$ とすると、第1電流の変動量は、例えば、第1スイッチが導通している場合に $(V_{in}-V_{out})/L$ となり、遮断されている場合に $-V_{out}/L$ となる。

【0040】上記構成において、電圧電流変換部は、入出力端子電圧に基づいて算出された当該第1電流の変動量を算出し、当該変動量に応じた量の電流を生成する。当該電流は、蓄積コンデンサに蓄積されるので、蓄積コンデンサの第1端部の電圧は、上記変動量を積分した値、すなわち、第1電流の量に応じて変化する。この結果、極めて正確に第1電流を推定でき、向きが逆転しようとする時点を高い精度で推定できる。したがって、誘導素子に逆方向電流が流れることを確実に防止でき、同期整流回路の変換効率をさらに向上できる。

【0041】加えて、上記電圧電流変換部や制御部は、アンプなどのアナログ回路で実現できるので、例えば、第1スイッチの導通期間を決定する回路など、同期整流

10

回路の他の部材と比較的に容易に集積できる。また、デジタル回路で実現する場合に比べて、回路規模や消費電力を削減できる。したがって、小型かつ低消費電力の同期整流回路を実現できる。

【0042】また、請求項10の発明に係る同期整流回路は、請求項9記載の発明の構成において、上記電圧電流変換部は、上記入力端子電圧および出力端子電圧のうち、少なくとも一方に基づいて、第1スイッチの導通時における上記第1電流の変動量に比例した電流を生成する第1アンプ回路と、上記第1スイッチの導通時のみ、上記第1アンプ回路の出力電流と同じ量の電流を上記蓄積コンデンサの第1端部へ流し込む第1のカレントミラー回路と、上記入力端子電圧および出力端子電圧のうち、少なくとも一方に基づいて、第1スイッチの遮断時における上記第1電流の変動量に比例した電流を生成する第2アンプ回路と、上記第1スイッチの遮断時のみ、上記第2アンプ回路の出力電流と同じ量の電流を上記蓄積コンデンサの第1端部から引き抜く第2のカレントミラー回路とを備えていることを特徴としている。

【0043】上記構成では、第1スイッチの導通時には、第1アンプ回路と、第1のカレントミラー回路とが動作して、上記蓄積コンデンサの第1端部に電荷を蓄積する。一方、第1スイッチの遮断時には、第2アンプ回路と、第2のカレントミラー回路とが動作して、上記蓄積コンデンサの第1端部から電荷を放出する。これにより、電圧電流変換回路は、第1スイッチの導通と遮断時との双方において、上記第1電流の変動量に応じた電流を高い精度で生成できる。

【0044】

【発明の実施の形態】〔第1の実施形態〕本発明の一実施形態について図1および図2に基づいて説明すると以下の通りである。すなわち、本実施形態に係るスイッチング電源回路は、同期整流方式を用いたステップダウン型のDC/DCコンバータであって、例えば、電圧が変動する直流電源から、所望の値の定電圧を生成するためなどに好適に用いられている。

【0045】具体的には、図1に示すように、上記スイッチング電源回路1には、入力端子 $IN$ と出力端子 $OUT$ との間に、第1スイッチ11と誘導素子12とからなる直列回路が設けられている。上記誘導素子12と出力端子 $OUT$ との接続点は、平滑コンデンサ13を介して接地されており、第1スイッチ11と誘導素子12との接続点は、誘導素子12の電流を維持する極性に接続された転流ダイオード（整流素子）14を介して接地されている。また、当該転流ダイオード14に並列に第2スイッチ15が設けられている。

【0046】上記スイッチング電源回路1は、上記両スイッチ11・15の導通/遮断を制御するコントロール回路（第1および第2制御手段）21を備えており、両スイッチ11・15は、導通期間が互いに重ならないよ

11

うに制御されている。また、当該コントロール回路21は、出力端子OUTの出力電圧 $V_{out}$ を監視して、当該出力電圧 $V_{out}$ が一定になるように、第1スイッチ11の導通期間と遮断期間との割合を制御する。

【0047】さらに、本実施形態に係るスイッチング電源回路1は、誘導素子12と出力端子OUTとの接続点における電流の向きを検出する誘導素子電流検出回路

(誘導素子電流検出手段)22を備えている。上記誘導素子電流検出回路22は、例えば、誘導素子12に直列に接続された抵抗などであり、この場合は、当該抵抗の両端の電位を比較することで、誘導素子12に流れる電流の向きを検出できる。なお、本実施形態では、抵抗と

$$dI_L/dt = (V_{in} - V_{out}) / L$$

なお、上式(1)において、誘導電流 $I_L$ の方向は、入力端子INから出力端子OUTへの方向を正としており、 $L$ は、誘導素子12のリアクタンスを示している。この状態では、誘導素子12の入力側に、入力電圧 $V_{in}$ が印加されているので、転流ダイオード14は、逆極性となって遮断されている。また、第2スイッチ15も遮断されている。

【0050】 $t_2$ の時点になると、第1スイッチ11は遮断され、コントロール回路21は、所定のデッドタイム $T_{det}$ が経過した後、第2スイッチ15を導通させる( $t_3$ の時点)。さらに、コントロール回路21は、 $t_4$ の時点で第2スイッチ15を導通した後、所定のデッドタイム $T_{det}$ が経過してから、第1スイッチ11

$$dI_L/dt = -(V_{out} / L)$$

となる。

【0052】また、上記 $t_2$ から $t_5$ までの期間のうち、 $t_3$ から $t_4$ までの期間は、第2スイッチ15が導通しており、上記電流 $I_L$ は、転流ダイオード14ではなく、第2スイッチ15を流れる。したがって、第2スイッチ15が導通している期間は、転流ダイオード14の順方向電圧に起因する損失が発生しない。この結果、出力負荷電流 $I_{out}$ が大きく、誘導素子12を流れる電流 $I_L$ が大きい場合であっても、スイッチング電源回路1の変換効率は、例えば、80%以上と、高い値に保つことができる。

【0053】このように、第1スイッチ11の導通期間中に、誘導電流 $I_L$ として誘導素子12へ蓄積されたエネルギーは、第1スイッチ11の遮断期間中に放出され、平滑コンデンサ13で平滑化された後、出力端子OUTから出力される。ここで、コントロール回路21は、出力電圧 $V_{out}$ を監視して、出力電圧 $V_{out}$ が一定となるように、第1スイッチ11の導通期間と遮断期間との割合を帰還制御する。これにより、スイッチング電源回路1は、負荷の変動に拘わらず、一定の値の電圧を出力し続けることができる。

【0054】例えば、出力負荷電流 $I_{out}$ が増大するなどして、出力電圧 $V_{out}$ が所望の値 $V_{con}$ よりも

12

して、配線の抵抗成分を用いるなどして、当該抵抗の電圧降下に起因する効率低下を防止している。

【0048】上記構成のスイッチング電源回路1では、図2に示すように、コントロール回路21は、第2スイッチ15が遮断されている状態で、第1スイッチ11を導通させる( $t_1$ の時点)。これにより、入力端子INに印加される入力電圧 $V_{in}$ は、第1スイッチ11および誘導素子12を介して、出力端子OUTへ出力される。この状態では、誘導素子12に流れる電流 $I_L$ は、以下の式(1)に示す傾き $dI_L/dt$ で増加する。

【0049】

$$\dots (1)$$

を導通させる( $t_5$ の時点)。このように、コントロール回路21は、第1スイッチ11の遮断時点と第2スイッチ15の導通時点との間と、第2スイッチ15の遮断時点と第1スイッチ11の導通時点との間との双方に所定のデッドタイム $T_{det}$ を設けている。したがって、両スイッチ11・15が同時に導通した際に流れる貫通電流は、発生しない。

【0051】ここで、第1スイッチ11が遮断されている期間( $t_2$ から $t_5$ までの期間)では、誘導素子12に流れる電流 $I_L$ は、転流ダイオード14および第2スイッチ15によって維持されており、電流 $I_L$ の傾き $dI_L/dt$ は、以下の式(2)に示すように、

$$\dots (2)$$

減少しようとする、コントロール回路21は、第1スイッチ11の導通期間を延長する。一方、出力負荷電流 $I_{out}$ が減少するなどして、出力電圧 $V_{out}$ が所望の値 $V_{con}$ よりも増大しようとする、第1スイッチ11の導通期間は、短縮される。

【0055】ここで、上述の式(2)に示すように、誘導素子12を流れる電流 $I_L$ は、第1スイッチ11が遮断されている間、減少しつづけるので、第1スイッチ11の遮断期間が長くなるに従って、誘導電流 $I_L$ は、0に近づいていく。したがって、出力負荷電流 $I_{out}$ が極端に少ない場合など、第1スイッチ11の遮断期間が極めて長い場合( $t_{11}$ 以降)には、第2スイッチ15を導通させ続けると、誘導電流 $I_L$ が0以下となり、誘導電流 $I_L$ の向きが反転することがある。この場合は、出力端子OUTから、誘導素子12および第2スイッチ15を介して、GNDへ電流が流れるので、スイッチング電源回路1の変換効率が50%以下に低下してしまう。

【0056】ところが、本実施形態では、誘導素子電流検出回路22が誘導電流 $I_L$ の向きを常に監視しており、誘導素子12の順方向電流が0に近づき、向きが反転しようとした時点( $t_{14}$ の時点)で、第2スイッチ15を遮断するための信号をコントロール回路21へ送

13

出する。コントロール回路21は、当該信号を受けた場合、第1スイッチ11の導通/遮断に拘わらず、第2スイッチ15を遮断させる。これにより、誘導素子12には、出力負荷が少ないときでも、逆方向電流が流れない。したがって、出力負荷が少ないときでも高い変換効率を維持できる。この結果、常に、変換効率を高い値（例えば、80%以上）に保つことができるステップダウン型のスイッチング電源回路1を実現できる。

【0057】〔第2の実施形態〕上記第1の実施形態では、ステップダウン型のスイッチング電源回路1について説明したが、本発明は、これに限らず、他の型のスイッチング電源回路にも適用できる。本実施形態では、他の適用例として、ステップアップ型に適用した場合について説明する。

【0058】すなわち、図3に示すように、ステップアップ型のスイッチング電源回路1aでは、誘導素子12の一端は、入力端子INに接続されており、他端は、第1スイッチ11を介して接地されている。誘導素子12と第1スイッチ11との接続点は、転流ダイオード14および第2スイッチ15からなる並列回路を介して、出

$$dI_L/dt = V_{in}/L$$

$$dI_L/dt = (V_{in} - V_{out})/L$$

となる。

【0060】当該構成では、第1スイッチ11の導通期間において、誘導素子12に蓄積されたエネルギーは、第1スイッチ11の遮断期間において、入力電圧 $V_{in}$ に重畳されて出力される。この結果、スイッチング電源回路1aは、入力電圧 $V_{in}$ よりも大きな出力電圧 $V_{out}$ を負荷に供給できる。また、第1の実施形態と同様に、第1スイッチ11の導通期間と遮断期間との割合を出力電圧 $V_{out}$ に応じて帰還制御することによって、当該出力電圧 $V_{out}$ を一定の値 $V_{con}$ に保つことができる。

【0061】ここで、当該構成においても、誘導素子12を流れる電流 $I_L$ は、上述の式（4）に示すように、第1スイッチ11が遮断されている間、減少しつづける。したがって、第1スイッチ11の遮断期間が極めて長い場合（ $t_{11}$ 以降）には、第1の実施形態と同様に、第2スイッチ15を導通させ続けると、誘導電流 $I_L$ が0以下となり、誘導電流 $I_L$ の向きが反転することがある。この場合は、出力端子OUTから、第2スイッチ15および誘導素子12を介して、入力端子INへ電流が流れるので、スイッチング電源回路1aの変換効率が50%以下に低下してしまう。

【0062】ところが、本実施形態では、誘導素子電流検出回路22が誘導電流 $I_L$ の向きを常に監視しており、誘導素子12の順方向電流が0に近づき、向きが反転しようとした時点（ $t_{14}$ の時点）で、第2スイッチ15を遮断するための信号をコントロール回路21へ送出する。コントロール回路21は、当該信号を受けた場

14

力端子OUTに接続されている。当該転流ダイオード14の極性は、誘導素子12の電流 $I_L$ を維持する方向、すなわち、誘導素子12から出力端子OUTへの方向に設定されている。また、出力端子OUTとGNDとの間には、平滑コンデンサ13が設けられている。一方、本実施形態に係る誘導素子電流検出回路22は、誘導素子12と入力端子INとの接続点の電流 $I_L$ を監視している。これにより、本実施形態に係るコントロール回路21は、第1の実施形態と同様に、出力電圧 $V_{out}$ に応じて、第1スイッチ11の導通期間と遮断期間との割合を調整し、導通期間が互いに重ならないように、第1および第2スイッチ11・15を制御すると共に、誘導素子12の順方向電流が0に近づき、逆方向電流が流れようとした場合に、第2スイッチ15を遮断できる。

【0059】上記構成では、図2に示すように、誘導電流 $I_L$ は、第1スイッチ11が導通している期間（ $t_1$ から $t_2$ までの期間）に増加し、遮断されている期間（ $t_2$ から $t_5$ までの期間）に減少する。ここで、増加時および減少時における傾き $dI_L/dt$ は、以下の式（3）および（4）に示すように、

$$\dots (3)$$

$$\dots (4)$$

合、第1スイッチ11の導通/遮断に拘わらず、第2スイッチ15を遮断させる。これにより、誘導素子12には、出力負荷が少ないときでも、逆方向電流が流れない。したがって、出力負荷が少ないときでも高い変換効率を維持できる。この結果、常に、変換効率を高い値（例えば、80%以上）に保つことができるステップアップ型のスイッチング電源回路1aを実現できる。

【0063】〔第3の実施形態〕本実施形態では、他の適用例として、反転型に適用した場合について、図4および図2に基づいて説明する。すなわち、図4に示すように、反転型のスイッチング電源回路1bにおいて、誘導素子12の一端は、接地されており、他端は、第1スイッチ11を介して入力端子INに接続されている。誘導素子12と第1スイッチ11との接続点は、転流ダイオード14と第2スイッチ15とからなる並列回路を介して、出力端子OUTに接続されている。当該転流ダイオード14の極性は、誘導素子12の電流 $I_L$ を維持する方向、すなわち、出力端子OUTから誘導素子12への方向に設定されている。また、出力端子OUTとGNDとの間には、平滑コンデンサ13が設けられている。一方、本実施形態に係る誘導素子電流検出回路22は、誘導素子12からGNDへ流れる電流 $I_L$ を監視している。これにより、本実施形態に係るコントロール回路21は、第1の実施形態と同様に、出力電圧 $V_{out}$ に応じて、第1スイッチ11の導通期間と遮断期間との割合を調整し、導通期間が互いに重ならないように、第1および第2スイッチ11・15を制御すると共に、誘導素子12の順方向電流が0に近づき、逆方向電流が流れよ



15

うとした場合に、第2スイッチ15を遮断できる。

【0064】上記構成では、図2に示すように、誘導電流 $I_{Lb}$ は、第1スイッチ11が導通している期間( $t_1$ から $t_2$ までの期間)に増加し、遮断されている期間

$$dI_{Lb}/dt = V_{in}/L$$

$$dI_{Lb}/dt = V_{out}/L$$

となる。

【0065】当該構成では、第1スイッチ11の導通期間にて、誘導素子12に蓄積されたエネルギーは、第1スイッチ11の遮断期間にて、入力電圧 $V_{in}$ とは逆の極性で出力される。この結果、入力電圧 $V_{in}$ に対して逆極性の出力電圧 $V_{out}$ を負荷に供給できる。また、第1の実施形態と同様に、第1スイッチ11の導通期間と遮断期間との割合を出力電圧 $V_{out}$ に応じて帰還制御することによって、当該出力電圧 $V_{out}$ を一定の値 $V_{con}$ に保つことができる。

【0066】ここで、上述の式(5)に示すように、当該構成においても、誘導素子12を流れる電流 $I_{Lb}$ は、第1スイッチ11が遮断されている間、減少しつづける。ところが、第1の実施形態と同様に、誘導素子電流検出回路22が誘導電流 $I_{Lb}$ の向きを常に監視しており、コントロール回路21は、誘導素子電流検出回路22の指示に基づいて、誘導素子12の順方向電流が0に近づき、向きが反転しようとした時点( $t_{14}$ の時点)で第2スイッチ15を遮断する。これにより、誘導素子12には、出力負荷が少ないときでも、逆方向電流が流れない。したがって、出力負荷が少ないときでも高い変換効率を維持できる。この結果、常に、変換効率を高い

$$dI_{Lc}/dt = V_{in}/L$$

$$dI_{Lc}/dt = -(V_{out}/L)$$

となる。

【0069】当該構成では、第1スイッチ11の導通期間にて、誘導素子12に蓄積されたエネルギーは、第1スイッチ11の遮断期間に、コンデンサ16を介して出力される。したがって、第1の実施形態と同様に、第1スイッチ11の導通期間と遮断期間との割合を出力電圧 $V_{out}$ に応じて帰還制御することによって、当該出力電圧 $V_{out}$ を一定の値 $V_{con}$ に保つことができる。本実施形態では、コンデンサ16およびインピーダンス素子17によって、誘導素子12を流れる電流 $I_{Lc}$ と出力負荷電流 $I_{out}$ との間に位相差が生ずる。この結果、入力電圧 $V_{in}$ と出力電圧 $V_{out}$ との大小関係が変化する場合であっても、当該出力電圧 $V_{out}$ を一定の値 $V_{con}$ に維持可能なアップダウン型のスイッチング電源回路1cを実現できる。

【0070】ここで、上述の式(7)に示すように、当該構成においても、誘導素子12を流れる電流 $I_{Lc}$ は、第1スイッチ11が遮断されている間、減少しつづける。ところが、第1の実施形態と同様に、誘導素子電流検出回路22が誘導電流 $I_{Lc}$ の向きを常に監視してお

16

( $t_2$ から $t_5$ までの期間)に減少する。ここで、増加時および減少時における傾き $dI_{Lb}/dt$ は、以下の式(5)および(6)に示すように、

$$\dots (5)$$

$$\dots (6)$$

値(例えば、80%以上)に保つことができる反転型のスイッチング電源回路1bを実現できる。

【0067】(第4の実施形態)本実施形態では、他の適用例として、アップダウン型に適用した場合について、図5および図2に基づいて説明する。すなわち、図5に示すように、アップダウン型のスイッチング電源回路1cは、図3に示すスイッチング電源回路1aと略同様であるが、誘導素子12と第1スイッチ11との接続点と、転流ダイオード14との間に、コンデンサ16が設けられており、コンデンサ16と転流ダイオード14との接続点は、短絡用の誘導素子、または、短絡用の抵抗からなるインピーダンス素子(図中では、Zと表記する)17を介して接地されている。なお、残余の構成は、上記スイッチング電源回路1aと同様であるため、同じ機能を有する部材には、同じ符号を付して説明を省略する。

【0068】上記構成では、図2に示すように、誘導素子12に流れる誘導電流 $I_{Lc}$ は、第1スイッチ11が導通している期間( $t_1$ から $t_2$ までの期間)に増加し、遮断されている期間( $t_2$ から $t_5$ までの期間)に減少する。ここで、増加時および減少時における傾き $dI_{Lc}/dt$ は、以下の式(7)および(8)に示すように、

$$\dots (7)$$

$$\dots (8)$$

り、コントロール回路21は、誘導素子電流検出回路22bからの指示に基づいて、誘導素子12の順方向電流が0に近づき、向きが反転しようとした時点( $t_{14}$ の時点)で第2スイッチ15を遮断する。これにより、誘導素子12には、出力負荷が少ないときでも、逆方向電流が流れない。したがって、出力負荷が少ないときでも高い変換効率を維持できる。この結果、常に、変換効率を高い値(例えば、80%以上)に保つことができるアップダウン型のスイッチング電源回路1cを実現できる。

【0071】(第5の実施形態)ところで、上記第1ないし第4の実施形態では、誘導素子電流検出回路22を用いて誘導素子12を流れる電流の向きを直接検出することによって、第2スイッチ15を遮断している。当該誘導素子電流検出回路22は、例えば、誘導素子12に直列に接続された抵抗の両端間電圧を測定したり、ホール素子などを用いて、磁界の強さを測定したりして、上記電流の向きを検出できる。

【0072】ところが、磁界を測定する素子は、集積が難しいため、スイッチング電源回路が大型化しやすい。

17

一方、抵抗を用いて検出する場合は、抵抗の電圧降下によって、スイッチング電源回路全体の効率が低下する虞れがある。なお、測定用の抵抗として、配線の抵抗成分を利用すれば、効率の低下を削減できる。また、抵抗値を小さくすれば、抵抗に起因する損失を抑制できる。ところが、いずれの場合であっても、測定用抵抗の抵抗値が小さくなるので、電流の向きを測定するために必要な精度やゲインは、極めて高くなる。一方、第1スイッチ11のスイッチング周波数は、変換効率を向上させるために、年々向上しているので、より速い検出速度が必要とされる。したがって、測定精度と動作速度との双方が所望のレベルを満足するように誘導素子電流検出回路22を形成する必要がある、小型で、低損失のスイッチング電源回路を実現することは難しい。

【0073】これに対して、以下の実施形態では、入力電圧 $V_{in}$ および出力電圧 $V_{out}$ に基づいて、誘導素子12を流れる電流の向きが反転する時点を予測して、

$$x = T_{ON} \cdot (V_{in} - V_{out}) / V_{out} \quad \dots (9)$$

となる。したがって、電圧積分コントロール回路23が上記時間 $x$ を算出し、第1スイッチ11の遮断時点から時間 $x$ が経過するまでの間に、コントロール回路21が第2スイッチ15を遮断すれば、誘導素子12に逆方向電流が流れない。また、第1スイッチ11の遮断時間 $T_{OFF}$ が、上記時間 $x$ 以下になるように、第2スイッチ15の導通/遮断を制御しても、逆方向電流の発生を防止できる。

【0076】なお、第2スイッチ15の遮断時点が、逆方向電流が流れ始める時点よりも前の場合、順方向電流が転流ダイオード14を介して流れる。この結果、第2スイッチ15を遮断するまでの間に、転流ダイオード14による順方向電圧損失が発生し、スイッチング電源回路2の効率を低下させる。一方、逆方向電流が流れ始める時点よりも後に、第2スイッチ15を遮断した場合は、第2スイッチ15を遮断するまでの間に、逆方向電流が流れるので、逆方向電流に起因する損失が発生する。したがって、逆方向電流が流れ始める時点と一致するように、第2スイッチ15の遮断時点を制御することが最も好ましい。ただし、ここで、逆方向電流に起因する損失は、転流ダイオード14の順方向電圧に起因する損失よりも大きいので、逆方向電流が流れ始める時点を正確に予測できない場合は、第2スイッチ15を早めに遮断して、逆方向電流が流れないように制御する方がよい。

【0077】これにより、誘導電流 $I_L$ を直接測定せず、確実に、逆方向電流を防止できる。この結果、第1

$$x_a = T_{ON} \cdot V_{in} / (V_{out} - V_{in}) \quad \dots (10)$$

となる。したがって、第5の実施形態と同様に、電圧積分コントロール回路23aが上記時間 $x_a$ を算出し、第1スイッチ11の遮断時点から時間 $x_a$ が経過するまでの間に、コントロール回路21が第2スイッチ15を遮

18

第2スイッチ15を遮断する構成について説明する。

【0074】すなわち、図6に示すスイッチング電源回路2は、ステップダウン型のスイッチング電源回路であって、図1に示すスイッチング電源回路1と略同様の構成である。ただし、誘導素子電流検出回路22に代えて、電圧積分コントロール回路（第2の制御手段）23が設けられている点が異なっている。

【0075】上記電圧積分コントロール回路23は、入力電圧 $V_{in}$ と出力電圧 $V_{out}$ とを検知して、誘導素子12に流れる電流 $I_L$ を計算し、電流 $I_L$ が反転する時点で、第2スイッチ15を遮断するための信号をコントロール回路21へ送出する。具体的には、両スイッチ11・15の導通時における両端間電圧を0V、第1スイッチ11の導通時間を $T_{ON}$ とすると、第1スイッチ11の導通時に誘導素子12へ蓄積されたエネルギーが放出されるまでの時間 $x$ は、上述の式(1)および式(2)から、以下の式(9)に示すように、

の実施形態と同様に、出力負荷が少ないときでも、変換効率を維持でき、常に変換効率を高い値（例えば、80%以上）に保つことのできるステップダウン型のスイッチング電源回路2を実現できる。

【0078】また、本実施形態に係る電圧積分コントロール回路23は、入力電圧 $V_{in}$ および出力電圧 $V_{out}$ に基づいて、第2スイッチ15の遮断タイミングを決定している。したがって、誘導素子12に直列に抵抗を配さずに、遮断タイミングを決定できる。この結果、第1の実施形態のスイッチング電源回路1の場合、すなわち、誘導素子電流検出回路22にて、遮断タイミングを決定する場合に比べて、小型かつ低損失のスイッチング電源回路を比較的容易に実現できる。

【0079】〔第6の実施形態〕上記第5の実施形態では、ステップダウン型のスイッチング電源回路に、電圧積分コントロール回路を設ける場合について説明したが、本発明は、これに限らず、他の型のスイッチング電源回路にも適用できる。例えば、図3に示すステップアップ型のスイッチング電源回路1aにおいて、誘導素子電流検出回路22の代わりに電圧積分コントロール回路23aを設けると、図7に示すスイッチング電源回路2aが構成される。

【0080】上記構成では、第1スイッチ11の導通時における誘導電流 $I_{La}$ は、上述の式(3)および式(4)に示すように変化するので、第1スイッチ11の導通時に誘導素子12へ蓄積されたエネルギーが放出されるまでの時間 $x_a$ は、以下の式(10)に示すように、

断すれば、誘導素子12に逆方向電流が流れない。また、第1スイッチ11の遮断時間 $T_{OFF}$ が、上記時間 $x_a$ 以下になるように、第2スイッチ15の導通/遮断を制御しても、逆方向電流の発生を防止できる。

19

【0081】この結果、第2の実施形態と同様に、出力負荷が少ないときでも変換効率を維持でき、常に変換効率を高い値（例えば、80%以上）に維持可能なステップアップ型のスイッチング電源回路2aを実現できる。また、本実施形態では、第5の実施形態と同様に、誘導電流 $I_{Lb}$ を直接測定せずに、第2スイッチ15の遮断時間を決定している。したがって、第2の実施形態よりも、さらに小型で高効率のスイッチング電源回路2aを比較的容易に実現できる。

【0082】〔第7の実施形態〕また、図4に示す反転 10  

$$x_b = T_{ON} \cdot V_{in} / (-V_{out})$$

となる。したがって、第5の実施形態と同様に、電圧積分コントロール回路23bが上記時間 $x_b$ を算出し、第1スイッチ11の遮断時点から時間 $x_b$ が経過するまでの間に、コントロール回路21が第2スイッチ15を遮断すれば、誘導素子12に逆方向電流が流れない。また、第1スイッチ11の遮断時間 $T_{OFF}$ が、上記時間 $x_b$ 以下になるように、第2スイッチ15の導通/遮断を制御しても、逆方向電流の発生を防止できる。この結果、第3の実施形態と同様に、出力負荷が少ないときでも変換効率を保つことができ、常に変換効率を高い値（80%以上）に維持可能な反転型のスイッチング電源回路2bを実現できる。また、本実施形態では、第5の実施形態と同様に、誘導電流 $I_{Lb}$ を直接測定せずに、第  

$$x_c = T_{ON} \cdot V_{in} / V_{out}$$

となる。したがって、第5の実施形態と同様に、電圧積分コントロール回路23cが上記時間 $x_c$ を算出し、第1スイッチ11の遮断時点から時間 $x_c$ が経過するまでの間に、コントロール回路21が第2スイッチ15を遮断すれば、誘導素子12に逆方向電流が流れない。また、第1スイッチ11の遮断時間 $T_{OFF}$ が、上記時間 $x_c$ 以下になるように、第2スイッチ15の導通/遮断を制御しても、逆方向電流の発生を防止できる。

【0086】この結果、第4の実施形態と同様に、出力負荷が少ないときでも変換効率を保つことができ、常に変換効率を高い値（例えば、80%以上）に維持可能なステップダウン型のスイッチング電源回路2cを実現できる。また、本実施形態では、第5の実施形態と同様に、誘導電流 $I_{Lc}$ を直接測定せずに、第2スイッチ15の遮断時間を決定しているので、第4の実施形態よりも、さらに小型で高効率のスイッチング電源回路2bを比較的容易に実現できる。

【0087】〔第9の実施形態〕ところで、上記第5ないし第8の実施形態に係る電圧積分コントロール回路23は、例えば、デジタル回路によって実現してもよいし、アナログ回路を用いて実現してもよい。また、上述の演算式(9)ないし式(12)を簡略化して、ある時点における入出力電圧 $V_{in} \cdot V_{out}$ に基づいて、逆方向電流が流れ始める時点を推測することもできる。

【0088】ただし、上述の演算式(9)ないし式(1 50

20

型のスイッチング電源回路1bにおいて、誘導素子電流検出回路22の代わりに、電圧積分コントロール回路23bを設けると、図8に示すスイッチング電源回路2bが構成される。

【0083】上記構成では、第1スイッチ11の導通時における誘導電流 $I_{Lb}$ は、上述の式(5)および式

(6)に示すように変化するので、第1スイッチ11の導通時に誘導素子12へ蓄積されたエネルギーが放出されるまでの時間 $x_b$ は、以下の式(11)に示すように、

... (11)

2スイッチ15の遮断時間を決定しているので、第3の実施形態よりも、さらに小型で高効率のスイッチング電源回路2bを比較的容易に実現できる。

【0084】〔第8の実施形態〕さらに、図5に示すアップダウン型のスイッチング電源回路1cにおいて、誘導素子電流検出回路22の代わりに、電圧積分コントロール回路23cを設けると、図9に示すスイッチング電源回路2cが構成される。

【0085】上記構成では、第1スイッチ11の導通時における誘導電流 $I_{Lc}$ は、上述の式(7)および式

(8)に示すように変化するので、第1スイッチ11の導通時に誘導素子12へ蓄積されたエネルギーが放出されるまでの時間 $x_c$ は、以下の式(12)に示すように、

... (12)

2)の場合、デジタル回路で実現すると、回路規模や消費電力が、アナログ回路の場合に比べて増大しがちである。一方、上述したように、実際に逆方向電流が流れ始める時点が推測した時点とズレていると、スイッチング電源回路の変換効率が低下するので、近似式を用いて推測すると、スイッチング電源回路の変換効率を向上することが難しい。

【0089】以下では、電圧積分コントロール回路23の好適な構成例として、アナログの積分器を用いた場合について説明する。具体的には、本実施形態に係るスイッチング電源回路3は、ステップダウン型の回路であって、図10に示すように、電圧積分コントロール回路23は、入力電圧 $V_{in}$ と出力電圧 $V_{out}$ とを検知して、両電圧 $V_{in}$ 、 $V_{out}$ をそのまま、または、加減算処理した電圧を電流へ変換することによって、誘導電流 $I_L$ の変化量 $dI_L/dt$ に応じた電流を生成する電圧電流変換回路（電圧電流変換部）31と、電圧電流変換回路31の出力電流を蓄積して電圧へと変換する電流電圧変換コンデンサ32と、電流電圧変換コンデンサ

（蓄積コンデンサ）32の出力電圧 $V_c$ を所定の値の基準電圧 $V_{ref1}$ と比較するコンパレータ（制御部）33と、上記基準電圧 $V_{ref1}$ を生成してコンパレータ33へ入力する電源34とを備えている。なお、残余の構成は、図6と同様であるため、同じ機能を有する部材には、同じ参照符号を付して説明を省略する。

21

【0090】上記電圧電流変換回路31は、第1スイッチ11が導通している間、入力電圧 $V_{in}$ および出力電圧 $V_{out}$ に基づいて、 $V_{in}-V_{out}$ に比例した電流を生成し、上記電流電圧変換コンデンサ32へ流し込む。一方、第1スイッチ11が遮断されている間、電圧電流変換回路31は、出力電圧 $V_{out}$ に比例した電流を上記電流電圧変換コンデンサ32から引き抜く。なお、電流生成時の比例定数は、導通期間と遮断期間とで共通である。

【0091】これにより、図11に示すように、電流電圧変換コンデンサ32の両端電圧 $V_c$ は、誘導素子12に流れる順方向電流 $I_L$ に比例して変化する。したがって、誘導素子12に逆電流が流れ始める時点と、両端電圧 $V_c$ が0Vになる時点として正確に検出できる。この結果、コンパレータ33が、両端電圧 $V_c$ と、基準電圧 $V_{ref1}$ とを比較して、両端電圧 $V_c$ が0[V]になる前に、第2スイッチ15の遮断をコントロール回路21へ指示すれば、誘導素子12に逆方向電流が流れる前に、第2スイッチ15を遮断できる。したがって、出力負荷が少ないときであっても、誘導素子12に逆方向電流が流れることがなく、常に変換効率を高い値（例えば、80%以上）に維持可能なステップダウ

型のスイッチング電源回路3を実現できる。

【0092】〔第10の実施形態〕本実施形態では、図12を参照して、図7と同様のステップアップ型のスイッチング電源回路3aにおいて、アナログの積分器を用いて、電圧積分コントロール回路23aを構成した場合について説明する。

【0093】本実施形態に係る電圧積分コントロール回路23aは、図10に示す電圧積分コントロール回路23と略同様であるが、電圧電流変換回路31に代えて、誘導電流 $I_{La}$ を算出するための電圧電流変換回路31aが設けられている。具体的には、上記電圧電流変換回路31aは、第1スイッチ11が導通している間、入力電圧 $V_{in}$ に比例した電流を生成し、上記電流電圧変換コンデンサ32へ流し込む。一方、第1スイッチ11が遮断されている間、電圧電流変換回路31aは、入力電圧 $V_{in}$ および出力電圧 $V_{out}$ に基づいて、 $V_{out}-V_{in}$ に比例した電流を上記電流電圧変換コンデンサ32から引き抜く。なお、電流生成時の比例定数は、導通期間と遮断期間とで共通である。

【0094】これにより、図13に示すように、電流電圧変換コンデンサ32の両端電圧 $V_{ca}$ は、誘導素子12に流れる順方向電流 $I_{La}$ に比例して変化する。したがって、誘導素子12に逆電流が流れ始める時点と、両端電圧 $V_{ca}$ が0Vになる時点として正確に検出できる。この結果、コンパレータ33が、両端電圧 $V_{ca}$ と、基準電圧 $V_{ref1}$ とを比較して、両端電圧 $V_{ca}$ が0

[V]になる前に、第2スイッチ15の遮断をコントロール回路21へ指示すれば、誘導素子12に逆方向電流

22

が流れる前に、第2スイッチ15を遮断できる。したがって、出力負荷が少ないときであっても、誘導素子12に逆方向電流が流れることがなく、常に変換効率を高い値（例えば、80%以上）に維持可能なステップダウ型のスイッチング電源回路3aを実現できる。

【0095】〔第11の実施形態〕また、本実施形態では、図14を参照しながら、図8と同様の反転型のスイッチング電源回路3bにおいて、アナログの積分器を用いて、電圧積分コントロール回路23bを構成した場合について説明する。

【0096】本実施形態に係る電圧積分コントロール回路23bは、図10に示す電圧積分コントロール回路23と略同様であるが、電圧電流変換回路31に代えて、誘導電流 $I_{Lb}$ を算出するための電圧電流変換回路31bが設けられている。具体的には、上記電圧電流変換回路31bは、第1スイッチ11が導通している間、入力電圧 $V_{in}$ に比例した電流を生成し、上記電流電圧変換コンデンサ32へ流し込む。一方、第1スイッチ11が遮断されている間、電圧電流変換回路31bは、出力電圧 $V_{out}$ に基づいて、 $-V_o$ に比例した電流を上記電流電圧変換コンデンサ32から引き抜く。なお、電流生成時の比例定数は、導通期間と遮断期間とで共通である。

【0097】これにより、図15に示すように、電流電圧変換コンデンサ32の両端電圧 $V_{cb}$ は、誘導素子12に流れる順方向電流 $I_{Lb}$ に比例して変化する。したがって、誘導素子12に逆電流が流れ始める時点と、両端電圧 $V_{cb}$ が0Vになる時点として正確に検出できる。この結果、コンパレータ33が、両端電圧 $V_{cb}$ と、基準電圧 $V_{ref1}$ とを比較して、両端電圧 $V_{cb}$ が0[V]になる前に、第2スイッチ15の遮断をコントロール回路21へ指示すれば、誘導素子12に逆方向電流が流れる前に、第2スイッチ15を遮断できる。したがって、出力負荷が少ないときであっても、誘導素子12に逆方向電流が流れることがなく、常に変換効率を高い値（例えば、80%以上）に維持可能な反転型のスイッチング電源回路3bを実現できる。

【0098】〔第12の実施形態〕さらに、本実施形態では、図16を参照しながら、図9と同様のアップダウン型のスイッチング電源回路3cにおいて、アナログの積分器を用いて、電圧積分コントロール回路23cを構成した場合について説明する。

【0099】本実施形態に係る電圧積分コントロール回路23cは、図10に示す電圧積分コントロール回路23と略同様であるが、電圧電流変換回路31に代えて、誘導電流 $I_{Lc}$ を算出するための電圧電流変換回路31cが設けられている。具体的には、上記電圧電流変換回路31cは、第1スイッチ11が導通している間、入力電圧 $V_{in}$ に基づいて、 $V_{in}$ に比例した電流を生成し、上記電流電圧変換コンデンサ32へ流し込む。一方、第1スイッチ11が遮断されている間、電圧電流変換回路

23

31cは、出力電圧 $V_{out}$ に基づいて、 $V_o$ に比例した電流を上記電流電圧変換コンデンサ32から引き抜く。なお、電流生成時の比例定数は、導通期間と遮断期間とで共通である。

【0100】これにより、図17に示すように、電流電圧変換コンデンサ32の両端電圧 $V_{ce}$ は、誘導素子12に流れる順方向電流 $I_L$ に比例して変化する。したがって、誘導素子12に逆電流が流れ始める時点と、両端電圧 $V_{ce}$ が0Vになる時点として正確に検出できる。

この結果、コンパレータ33が、両端電圧 $V_{ce}$ と、基準電圧 $V_{ref1}$ とを比較して、両端電圧 $V_{ce}$ が0(V)になる前に、第2スイッチ15の遮断をコントロール回路21へ指示すれば、誘導素子12に逆方向電流が流れる前に、第2スイッチ15を遮断できる。したがって、出力負荷が少ないときであっても、誘導素子12に逆方向電流が流れることがなく、常に変換効率を高い値(例えば、80%以上)に維持可能な高いアップダウン型のスイッチング電源回路3cを実現できる。

【0101】〔第13の実施形態〕ところで、上記第5ないし第12の各実施形態は、誘導素子12に流れる電流を直接検出せず、入力電圧 $V_{in}$ と出力電圧 $V_{out}$ とに基づいて、誘導素子12に逆方向電流が流れ始める時点を検出しているため、IC(Integrated Circuit)などに集積化しやすい。本実施形態では、図18を参照しながら、集積が容易なスイッチング電源回路の構成例について、さらに詳細に説明する。なお、以下では、第12の実施形態と同様のアップダウン型のスイッチング電源回路4cを例にして説明するが、他の実施形態でも同様に、集積が容易な回路を実現できる。

【0102】すなわち、本実施形態では、第1スイッチ11は、NチャネルのMOSトランジスタN1で構成されており、第2スイッチ15は、PチャネルのMOSトランジスタP1で構成されている。また、インピーダンス素子17は、誘導素子L1にて形成される。

【0103】一方、本実施形態に係るコントロール回路21cは、出力電圧 $V_{out}$ を分圧する抵抗41・42と、所定の値の基準電圧 $V_{ref2}$ を生成する電源43と、上記両抵抗41・42の接続点の電圧 $V_{adj}$ が正入力端子に、上記基準電圧 $V_{ref2}$ が負入力端子に印加された誤差検出用のコンパレータ44とを備えている。さらに、コントロール回路21cには、所定の周期の三角波を生成する三角波発生器45と、所定の値の基準電圧 $V_{ref3}$ を生成する電源46と、上記コンパレータ44の出力と上記基準電圧 $V_{ref3}$ とを正入力とし、上記三角波発生器45からの三角波を負入力とするPWM(Pulse Width Modulation)用のコンパレータ47とが設けられている。当該コンパレータ47の出力は、インバータ48を介して、上記MOSトランジスタN1のゲートに印加されると共に、2入力NAND回路49を介して、MOSトランジスタP1のゲートに印加

24

される。

【0104】上記構成において、出力電圧 $V_{out}$ は、抵抗41・42にて分圧され、帰還電圧 $V_{adj}$ として、誤差検出用のコンパレータ44に印加される。当該コンパレータ44は、基準電圧 $V_{ref2}$ と、帰還電圧 $V_{adj}$ とを比較して、両者の誤差に応じた電圧を出力する。一方、PWM用のコンパレータ47は、上記コンパレータ44の出力電圧と基準電圧 $V_{ref3}$ とのうちで高い方の電圧と、三角波発生器45で生成した三角波とを比較してパルス信号を生成する。ここで、コンパレータ44の出力は、帰還電圧 $V_{adj}$ が基準電圧 $V_{ref2}$ よりも大きい場合、パルス幅が減少する方向に変化し、帰還電圧 $V_{adj}$ の方が小さい場合に、パルス幅が増加する方向に変化するように設定されている。したがって、上記パルス信号のパルス幅は、帰還電圧 $V_{adj}$ と、基準電圧 $V_{ref2}$ とが一致するように制御される。

【0105】上記パルス信号は、インバータ48で反転された後、NチャネルのMOSトランジスタN1のゲートへ印加される。また、当該パルス信号は、電圧積分コントロール回路23cから第2スイッチ15の遮断が指示されていない間、NAND回路49で反転された後、PチャネルのMOSトランジスタP1のゲートへ印加される。したがって、第1スイッチ11の導通時には、第2スイッチ15が遮断され、第1スイッチ11の遮断時には、第2スイッチ15が導通するように制御される。この結果、両スイッチ11・15のオン/オフは、出力電圧 $V_{out}$ が所望の値 $V_{con}$ になるように制御される。

【0106】上記インバータ48とMOSトランジスタN1との間、並びに、上記NAND回路49とMOSトランジスタP1との間には、図示しないプリバッファがそれぞれ設けられており、各プリバッファの遅延時間は、オン時の方がオフ時よりも長く設定されている。これにより、両MOSトランジスタN1・P1の一方は、他方が遮断してから所定のデッドタイム $T_{det}$ が経過するまでの間、導通しないように制御される。

【0107】また、コンパレータ47は、コンパレータの出力電圧が基準電圧 $V_{ref3}$ よりも低い場合、基準電圧 $V_{ref3}$ と三角波とを比較してパルス信号を生成する。したがって、パルス幅の最大値が制限され、スイッチング電源回路4cの起動時など、出力電圧 $V_{out}$ が極めて低い場合であっても、第1スイッチ11の導通期間を制限して、第1スイッチ11の損傷を防止できる。

【0108】なお、両MOSトランジスタN1・P1の切り換えタイミングをズラす方法は、上記構成に限るものではなく、例えば、図19に示すように、上記インバータ48およびNAND回路49と、両MOSトランジスタN1・P1との間にタイミング制御部50を設けて

25

制御してもよい。当該タイミング制御部50では、インバータ48の出力は、AND回路50aおよびバッファ50bを介して、上記MOSトランジスタN1のゲートに印加される。同様に、NAND回路49の出力は、OR回路50cおよびバッファ50dを介して、上記MOSトランジスタP1のゲートに印加される。また、上記バッファ50bの出力は、上記OR回路50cへ入力されており、バッファ50dの出力は、上記AND回路50aへ入力される。

【0109】当該構成では、AND回路50aは、インバータ48からMOSトランジスタN1の導通が指示されても、バッファ50dがMOSトランジスタP1の遮断を指示するまで、出力をローレベルに保ってMOSトランジスタN1の導通を阻止している。そして、AND回路50aの出力は、バッファ50dが遮断を指示した後、ハイレベルとなり、バッファ50bを介して、MOSトランジスタN1のゲートに印加される。したがって、AND回路50aおよびバッファ50bの遅延時間によって、MOSトランジスタN1の導通タイミングは、MOSトランジスタP1の遮断タイミングよりも遅く設定される。

【0110】同様に、OR回路50cは、NAND回路49からMOSトランジスタP1の導通が指示されても、バッファ50bがMOSトランジスタN1の遮断を指示するまで、出力をハイレベルに保って、MOSトランジスタP1の導通を阻止している。この結果、MOSトランジスタP1の導通タイミングは、MOSトランジスタN1の遮断タイミングよりも遅く設定される。

【0111】一方、図18に示すように、本実施形態に係る電圧電流変換回路31cは、第1スイッチ11の導通時に入力電圧Vinに比例した電流を出力するために、入力電圧Vinを分圧する抵抗51・52と、両抵抗51・52の接続点が正入力端子に接続されたアンプ53と、アンプ53の出力にベースが接続され、エミッタが抵抗54を介して接地されたNPN型のトランジスタ55と、上記コントロール回路21cから、第1スイッチ11の導通を示す信号SONを受け取った場合に、当該トランジスタ55のコレクタ電流と同じ値の電流を折り返して出力するスイッチ付きのカレントミラー回路56とを備えている。また、上記トランジスタ55と抵抗54との接続点は、アンプ53の負入力端子に負帰還されており、アンプ53は、上記抵抗54の両端電圧が、上記抵抗51・52の接続点の電圧になるように、トランジスタ55のベース電圧を制御できる。なお、上記アンプ53が、特許請求の範囲に記載の第1アンプ回路に対応し、上記カレントミラー回路56が、第1のカレントミラー回路に対応している。

【0112】上記構成において、入力電圧Vinを抵抗51・52で分圧して生成された電圧は、アンプ53によって、抵抗54に流れる電流へ変換される。当該電流

26

は、上記信号SONが導通を示している場合、カレントミラー回路56によって折り返される。これにより、電圧電流変換回路31cは、第1スイッチ11の導通している間、入力電圧Vinに比例した電流を、電圧電流変換コンデンサ32へ出力できる。なお、信号SONが導通を示していない場合は、カレントミラー回路56は、動作停止している。したがって、後述するカレントミラー回路67の出力電流のみが、電圧電流変換コンデンサ32から引き込まれる。

【0113】また、本実施形態に係る電圧電流変換回路31cは、第1スイッチ11の遮断時に出力電圧Voutに比例した電流を出力するために、出力電圧Voutを分圧する抵抗61・62と、両抵抗61・62の接続点が正入力端子に接続されたアンプ63と、アンプ63の出力にベースが接続され、エミッタが抵抗64を介して接地されたNPN型のトランジスタ65と、上記コントロール回路21cから、第1スイッチ11の遮断を示す信号SOFFを受け取った場合に、当該トランジスタ65のコレクタ電流と同じ値の電流を折り返して出力するスイッチ付きのカレントミラー回路66と、当該カレントミラー回路66の出力電流を再度折り返すカレントミラー回路67とを備えている。また、上記トランジスタ65と抵抗64との接続点は、アンプ63の負入力端子に負帰還されており、アンプ63は、上記抵抗64の両端電圧が、上記抵抗51・62の接続点の電圧になるように、トランジスタ65のベース電圧を制御できる。なお、上記アンプ63が特許請求の範囲に記載の第2アンプ回路に対応し、カレントミラー回路66および67が、第2のカレントミラー回路に対応している。

【0114】上記構成において、出力電圧Voutを抵抗61・62で分圧して生成された電圧は、アンプ63によって、抵抗64に流れる電流へ変換される。当該電流は、上記信号SOFFが遮断を示している場合、カレントミラー回路66によって折り返され、さらに、カレントミラー回路67によって、電圧電流変換コンデンサ32から電圧電流変換回路31cへ方向へと折り返される。これにより、電圧電流変換回路31cは、第1スイッチ11の導通している間、出力電圧Voutに比例した電流を、電圧電流変換コンデンサ32から引き込むことができる。なお、上記信号SOFFが導通を示している場合、上記カレントミラー回路66は、動作しない。したがって、上述のカレントミラー回路56の出力電流のみが、電圧電流変換コンデンサ32へ供給される。

【0115】これにより、電圧電流変換回路31cは、第1スイッチ11が導通している間、入力電圧Vinに比例した電流を供給して、電圧電流変換コンデンサ32に電荷を蓄積できる。一方、第1スイッチ11が遮断されている間、電圧電流変換回路31cは、出力電圧Voutに比例した電流を引き抜いて、電圧電流変換コンデンサ32の電荷を放出できる。この結果、電圧電流変換

27

コンデンサ32の両端電圧 $V_{cc}$ は、誘導電流 $I_{Lc}$ に比例して変動する。

【0116】さらに、コンパレータ33は、両端電圧 $V_{cc}$ が、所定の値の基準電圧 $V_{ref1}$ を下回った場合、誘導電流 $I_{Lc}$ が0に近づき、逆方向に流れようとしていると判定し、NAND回路49へ出力する電圧を低下させる。この結果、コントロール回路21cにおいて、NAND回路49は、コンパレータ47の出力に拘わらず、PチャネルのMOSトランジスタP1のゲートへ、常にハイレベルの出力を印加する。これにより、電圧積分コントロール回路23cは、誘導電流 $I_{Lc}$ が逆方向に流れようとした時点を正確に判定し、コントロール回路21cに第2スイッチ15を遮断させることができる。

【0117】ここで、上記構成のコントロール回路21cおよび電圧積分コントロール回路23cは、アンプや抵抗およびトランジスタなど、集積が容易な回路で構成されている。したがって、コントロール回路21cおよび電圧積分コントロール回路23cをICとして集積した場合、第1スイッチ11、誘導素子12、平滑コンデンサ13、転流ダイオード14、第2スイッチ15、コンデンサ16およびインピーダンス素子17を当該ICに外付けするだけで、高精度で高効率なスイッチング電源回路4cを構成できる。上記コントロール回路21cは、例えば、誤差検出用のコンパレータ44や三角波発生器45など、高い周波数で動作し、かつ、高い精度が要求される回路を含んでいる。一方、電圧積分コントロール回路23cにおいて、電圧電流変換回路31cの演算精度が低いと、誘導電流 $I_{Lc}$ を正しく算出できず、第2スイッチ15の導通、遮断のタイミングがズレる。したがって、スイッチング電源回路4cの効率が低下する。したがって、コントロール回路21cおよび電圧積分コントロール回路23cを集積すれば、それぞれの演算精度を容易に向上できるので、高精度で高効率なスイッチング電源回路4cを実現できる。なお、第1スイッチ11、転流ダイオード14、および第2スイッチ15を集積することで、さらに部品点数を削減できる。また、基準電圧 $V_{ref2}$ の値が一定であっても、両抵抗41・42の分圧比を変更すれば、出力電圧 $V_{out}$ の目標値 $V_{con}$ を変更できる。したがって、両抵抗41・42を外付けした場合は、異なる目標値 $V_{out}$ を有するスイッチング電源回路間で、上記集積回路を共用できる。

【0118】

【発明の効果】請求項1の発明に係る同期整流回路は、以上のように、第1スイッチの導通時にエネルギーを蓄積する誘導素子と、第1スイッチの遮断時に、上記誘導素子に流れる電流を維持する整流素子と、整流素子へ並列に接続された第2スイッチとを有するステップダウン型の同期整流回路において、上記誘導素子に流れる第1電流を監視する誘導素子電流検出手段と、上記誘導素子電

28

流検出手段の指示に基づいて、上記第2スイッチを遮断する第1の制御手段とを備えている構成である。

【0119】上記構成では、誘導素子電流検出手段が第1電流を監視しており、第1の制御手段は、誘導素子電流検出手段の指示に従い、第1電流が0に近づき、逆転しようとする場合に、第2スイッチを遮断する。これにより、軽負荷時であっても、誘導素子には、逆方向の電流が流れず、高い変換効率を維持できる。この結果、常に変換効率の高いステップダウン型の同期整流回路を実現できるという効果を奏する。

【0120】請求項2の発明に係る同期整流回路は、以上のように、ステップアップ型の同期整流回路において、誘導素子に流れる第1電流を監視する誘導素子電流検出手段と、上記誘導素子電流検出手段の指示に基づいて、上記第2スイッチを遮断する第1の制御手段とを備えている構成である。

【0121】それゆえ、請求項1と同様に、軽負荷時であっても、誘導素子には、逆方向の電流が流れず、高い変換効率を維持できる。この結果、常に変換効率の高いステップアップ型の同期整流回路を実現できるという効果を奏する。

【0122】請求項3の発明に係る同期整流回路は、以上のように、反転型の同期整流回路において、誘導素子に流れる第1電流を監視する誘導素子電流検出手段と、上記誘導素子電流検出手段の指示に基づいて、上記第2スイッチを遮断する第1の制御手段とを備えている構成である。

【0123】それゆえ、請求項1と同様に、軽負荷時であっても、誘導素子には、逆方向の電流が流れず、高い変換効率を維持できる。この結果、常に変換効率の高い反転型の同期整流回路を実現できるという効果を奏する。

【0124】請求項4の発明に係る同期整流回路は、以上のように、請求項2または3記載の発明の構成において、上記第1スイッチおよび誘導素子の接続点と、上記整流素子との間に設けられたコンデンサと、当該コンデンサと整流素子との間に一端が接続された短絡用誘導素子または短絡用抵抗とを備えている構成である。

【0125】上記構成では、第1スイッチの導通時に、誘導素子に蓄積されたエネルギーは、コンデンサを介して出力される。それゆえ、この結果、常に変換効率の高いアップダウン型の同期整流回路を実現できるという効果を奏する。

【0126】請求項5の発明に係る同期整流回路は、以上のように、上記ステップダウン型の同期整流回路において、誘導素子電流検出手段および第1の制御手段に代えて、上記入力端子電圧と出力端子電圧とに基づいて、上記第1電流を推定し、上記第2スイッチを制御する第2の制御手段を備えている構成である。

【0127】上記構成では、誘導素子電流検出手段を用

10

20

30

40

50



29

いて第1電流を直接監視する代わりに、第2の制御手段が、入力端子電圧と出力端子電圧とに基づいて上記第1電流を推定している。したがって、ステップダウン型のスイッチング電源回路として動作可能な請求項1と同様の効果を有し、より小型で高効率の同期整流回路を実現できるという効果を奏する。

【0128】請求項6の発明に係る同期整流回路は、以上のように、上記ステップアップ型の同期整流回路において、誘導素子電流検出手段および第1の制御手段に代えて、上記入力端子電圧と出力端子電圧とに基づいて、

上記第1電流を推定し、上記第2スイッチを制御する第2の制御手段を備えている構成である。

【0129】上記構成では、誘導素子電流検出手段を用いて第1電流を直接監視する代わりに、第2の制御手段が、入力端子電圧と出力端子電圧とに基づいて上記第1電流を推定している。したがって、ステップアップ型のスイッチング電源回路として動作可能な請求項2と同様の効果を有し、より小型で高効率の同期整流回路を実現できるという効果を奏する。

【0130】請求項7の発明に係る同期整流回路は、以上のように、上記反転型の同期整流回路において、誘導素子電流検出手段および第1の制御手段に代えて、上記入力端子電圧と出力端子電圧とに基づいて、上記第1電流を推定し、上記第2スイッチを制御する第2の制御手段を備えている構成である。

【0131】上記構成では、誘導素子電流検出手段を用いて第1電流を直接監視する代わりに、第2の制御手段が、入力端子電圧と出力端子電圧とに基づいて上記第1電流を推定している。したがって、反転型のスイッチング電源回路として動作可能な請求項3と同様の効果を有し、より小型で高効率の同期整流回路を実現できるという効果を奏する。

【0132】請求項8の発明に係る同期整流回路は、以上のように、請求項6または7記載の発明の構成において、上記第1スイッチおよび誘導素子の接続点と、上記整流素子との間に設けられたコンデンサと、当該コンデンサと整流素子との間に一端が接続された短絡用誘導素子または短絡用抵抗とを備えている構成である。

【0133】当該構成では、第1スイッチの導通時に、誘導素子に蓄積されたエネルギーは、コンデンサを介して出力される。したがって、アップダウン型のスイッチング電源回路として動作可能な請求項4と同様の効果を有し、より小型で高効率の同期整流回路を実現できるという効果を奏する。

【0134】請求項9の発明に係る同期整流回路は、以上のように、請求項5、6、7または8記載の発明の構成において、上記制御手段は、上記入力端子電圧と出力端子電圧と上記第1スイッチが導通しているか否かとに基づいて、上記第1電流の変動量に応じた電流を生成する電圧電流変換部と、当該電圧電流変換部の出力に、第

30

1端部が接続された蓄積コンデンサと、当該蓄積コンデンサの第1端部の電圧に基づいて、上記第2スイッチを制御する制御部とを備えている構成である。

【0135】上記構成では、入出力端子電圧に基づいて算出された当該第1電流の変動量を積分して算出するので、極めて高精度に第1電流を推定できる。この結果、誘導素子に逆方向電流が流れることを確実に防止でき、同期整流回路の変換効率をさらに向上できるという効果を奏する。

【0136】加えて、上記電圧電流変換部や制御部は、アンプなどのアナログ回路で実現できるので集積化が容易で、かつ、デジタル回路で実現する場合に比べて消費電力や回路規模を削減できる。この結果、小型かつ低消費電力の同期整流回路を実現できるという効果を併せて奏する。

【0137】請求項10の発明に係る同期整流回路は、以上のように、請求項9記載の発明の構成において、上記電圧電流変換部は、上記入力端子電圧および出力端子電圧のうち、少なくとも一方に基づいて、第1スイッチの導通時における上記第1電流の変動量に比例した電流を生成する第1アンプ回路と、上記第1スイッチの導通時にのみ、上記第1アンプ回路の出力電流と同じ量の電流を上記蓄積コンデンサの第1端部へ流し込む第1のカレントミラー回路と、上記入力端子電圧および出力端子電圧のうち、少なくとも一方に基づいて、第1スイッチの遮断時における上記第1電流の変動量に比例した電流を生成する第2アンプ回路と、上記第1スイッチの遮断時にのみ、上記第2アンプ回路の出力電流と同じ量の電流を上記蓄積コンデンサの第1端部から引き抜く第2のカレントミラー回路とを備えている構成である。

【0138】上記構成では、第1スイッチの導通時には、第1アンプ回路と、第1のカレントミラー回路とが動作して、上記蓄積コンデンサの第1端部に電荷を蓄積する。一方、第1スイッチの遮断時には、第2アンプ回路と、第2のカレントミラー回路とが動作して、上記蓄積コンデンサの第1端部から電荷を放出する。それゆえ、電圧電流変換回路は、第1スイッチの導通と遮断時との双方において、上記第1電流の変動量に応じた電流を高い精度で生成できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すものであり、同期整流方式を用いたステップダウン型のスイッチング電源回路の要部を示すブロック図である。

【図2】上記スイッチング電源回路の動作を示す波形図である。

【図3】本発明の他の実施形態を示すものであり、同期整流方式を用いたステップアップ型のスイッチング電源回路の要部を示すブロック図である。

【図4】本発明のさらに他の実施形態を示すものであり、同期整流方式を用いた反転型のスイッチング電源回

10

20

30

40

50



路の要部を示すブロック図である。

【図5】本発明のさらに他の実施形態を示すものであり、同期整流方式を用いたアップダウン型のスイッチング電源回路の要部を示すブロック図である。

【図6】本発明のさらに実施形態を示すものであり、同期整流方式を用いたステップダウン型のスイッチング電源回路の要部を示すブロック図である。

【図7】本発明のさらに他の実施形態を示すものであり、同期整流方式を用いたステップアップ型のスイッチング電源回路の要部を示すブロック図である。

【図8】本発明のさらに他の実施形態を示すものであり、同期整流方式を用いた反転型のスイッチング電源回路の要部を示すブロック図である。

【図9】本発明のさらに他の実施形態を示すものであり、同期整流方式を用いたアップダウン型のスイッチング電源回路の要部を示すブロック図である。

【図10】本発明のさらに実施形態を示すものであり、同期整流方式を用いたステップダウン型のスイッチング電源回路の要部を示すブロック図である。

【図11】上記スイッチング電源回路の動作を示す波形図である。

【図12】本発明のさらに他の実施形態を示すものであり、同期整流方式を用いたステップアップ型のスイッチング電源回路の要部を示すブロック図である。

【図13】上記スイッチング電源回路の動作を示す波形図である。

【図14】本発明のさらに他の実施形態を示すものであり、同期整流方式を用いた反転型のスイッチング電源回路の要部を示すブロック図である。

【図15】上記スイッチング電源回路の動作を示す波形図である。

【図16】本発明のさらに他の実施形態を示すものであり、同期整流方式を用いたアップダウン型のスイッチング電源回路の要部を示すブロック図である。

【図17】上記スイッチング電源回路の動作を示す波形図である。

【図18】本発明のさらに他の実施形態を示すものであ

り、同期整流方式を用いたアップダウン型のスイッチング電源回路の要部を詳細に示す回路図である。

【図19】本発明の一変形例を示すものであり、上記スイッチング電源回路に設けられるスイッチ切り換えタイミング制御回路を示す回路図である。

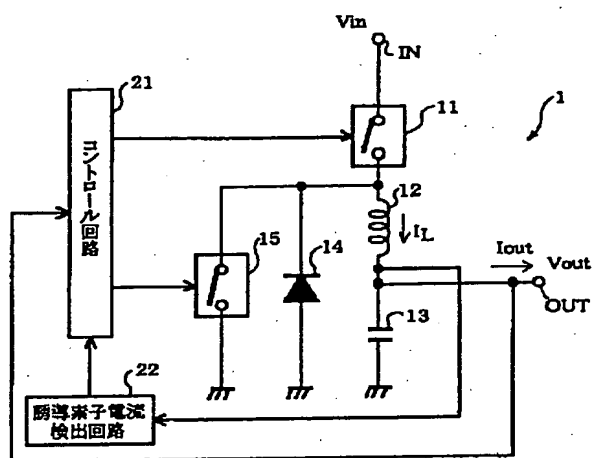
【図20】従来例を示すものであり、同期整流回路の要部構成を示すブロック図である。

【図21】上記スイッチング電源回路の動作を示す波形図である。

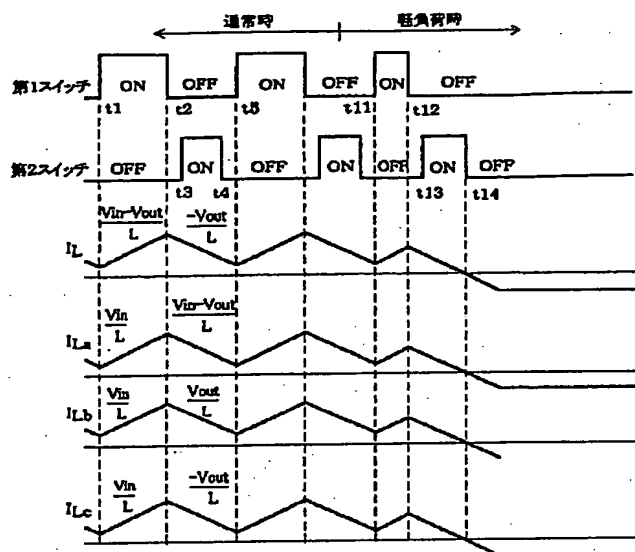
#### 【符号の説明】

- |            |                           |
|------------|---------------------------|
| 11         | 第1スイッチ                    |
| 12         | 誘導素子                      |
| 14         | 転流ダイオード（整流素子）             |
| 15         | 第2スイッチ                    |
| 16         | コンデンサ                     |
| 17         | インピーダンス素子（短絡用抵抗、短絡用誘導素子）  |
| 21         | コントロール回路（第1の制御手段、第2の制御手段） |
| 22         | 誘導素子電流検出回路（誘導素子電流検出手段）    |
| 23・23a～23c | 電圧積分コントロール回路（第2の制御手段）     |
| 31・31a～31c | 電圧電流変換回路（電圧電流変換部）         |
| 32         | 電流電圧変換コンデンサ（蓄積コンデンサ）      |
| 33         | コンバレータ（制御部）               |
| 53         | アンプ（第1アンプ回路）              |
| 56         | カレントミラー回路（第1のカレントミラー回路）   |
| 63         | アンプ（第2アンプ回路）              |
| 66         | カレントミラー回路（第2のカレントミラー回路）   |
| 67         | カレントミラー回路（第2のカレントミラー回路）   |
| IN         | 入力端子                      |
| OUT        | 出力端子                      |

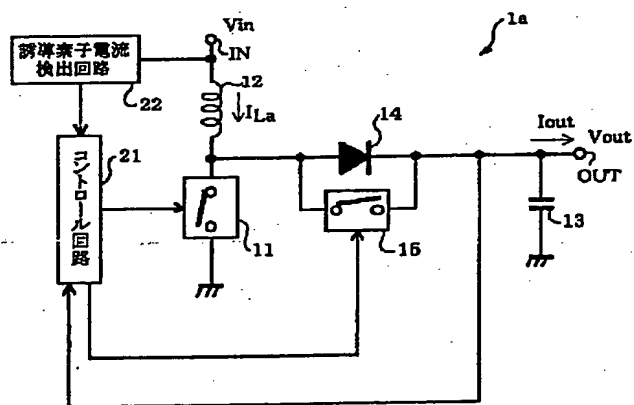
【図1】



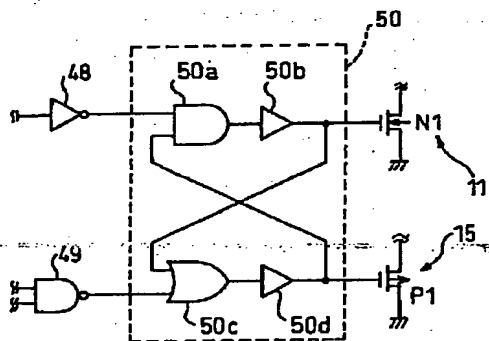
【図2】



【図3】

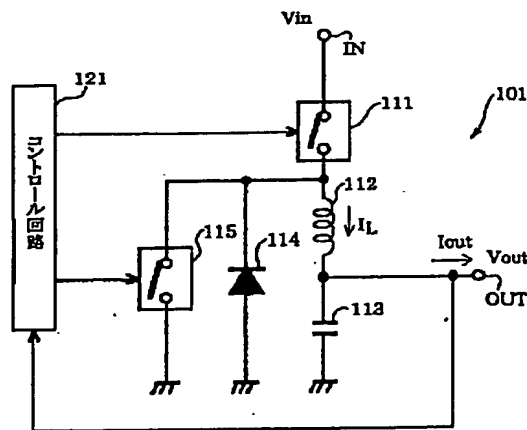
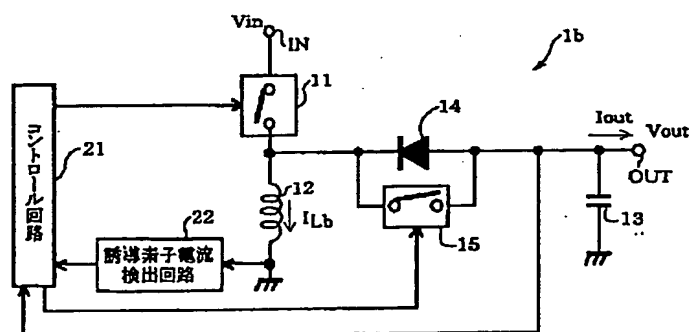


【図19】

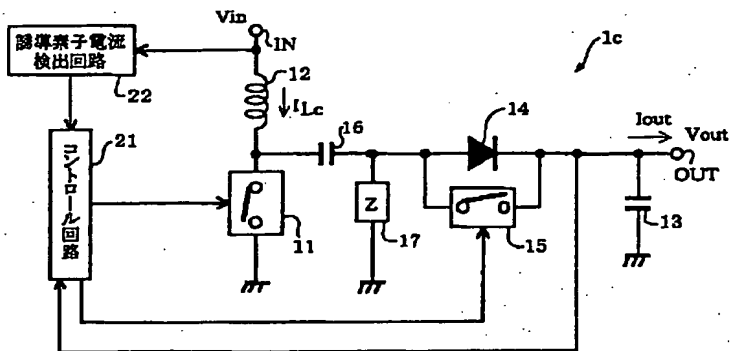


【図20】

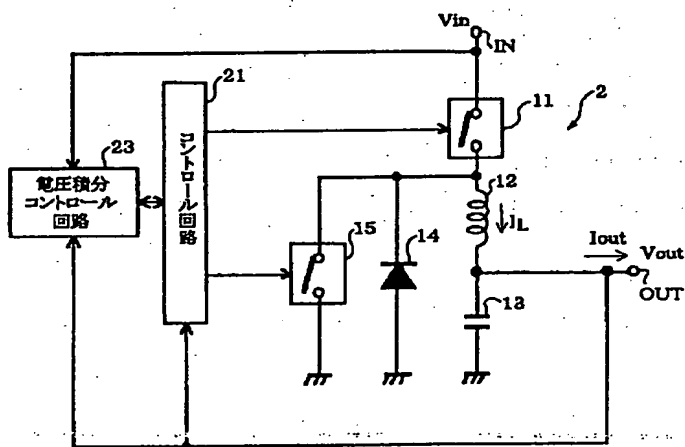
【図4】



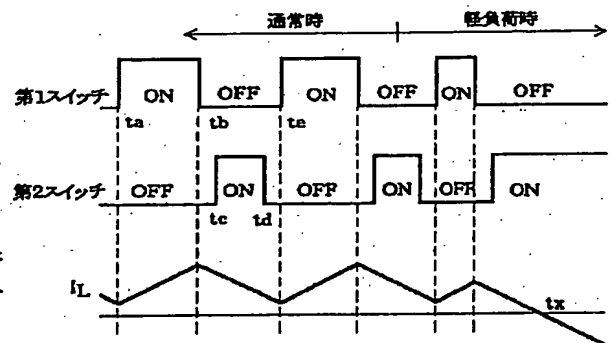
【図5】



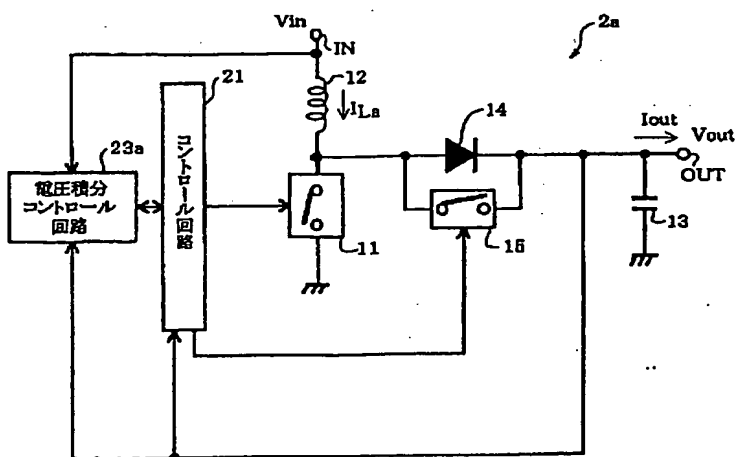
【図6】



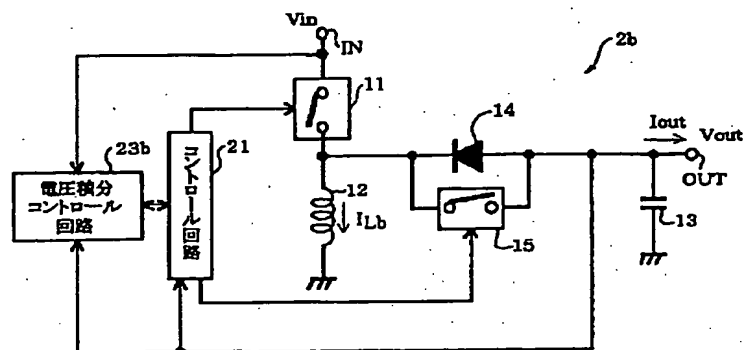
【図21】



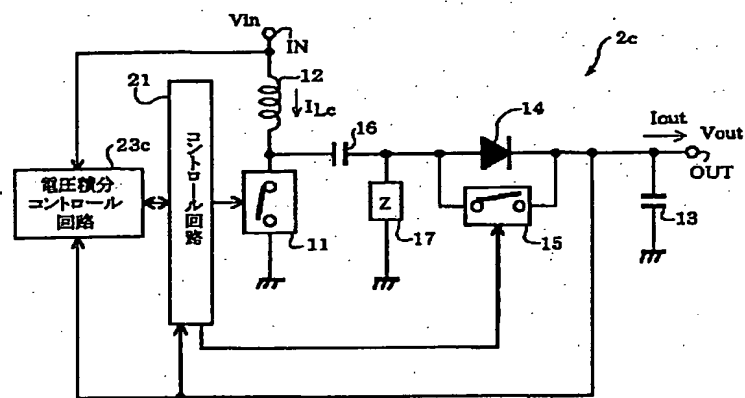
【図7】



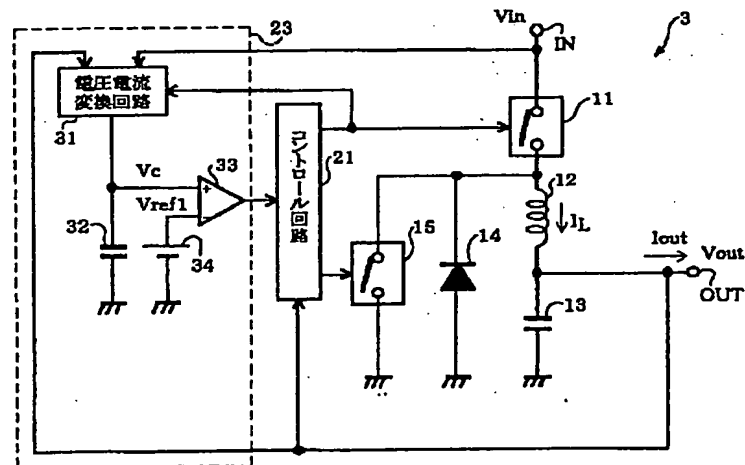
【図8】



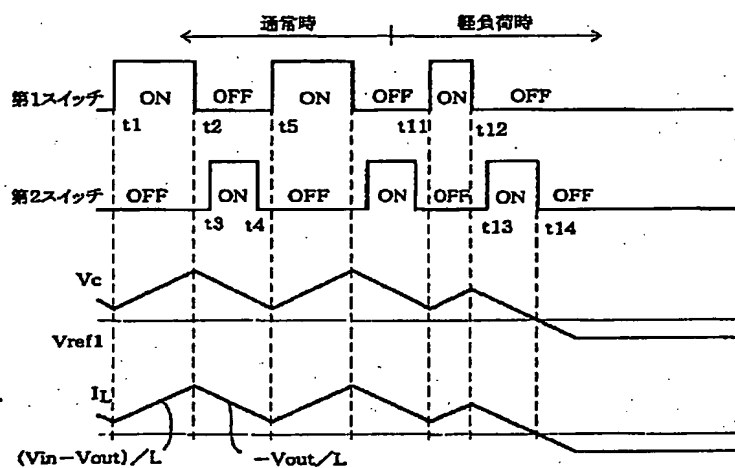
【図9】



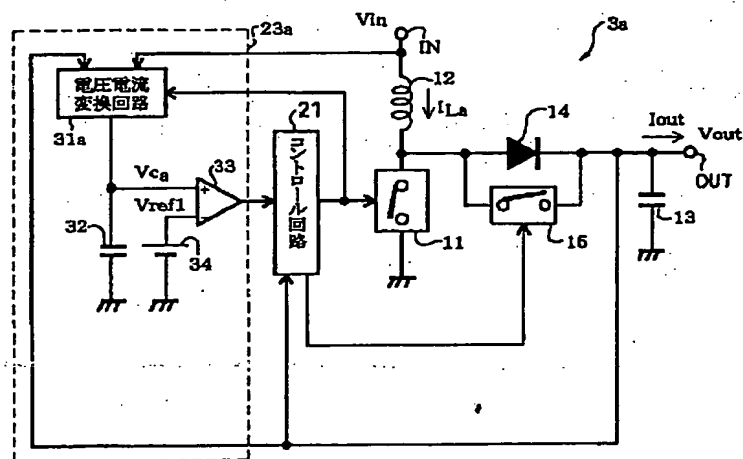
【図10】



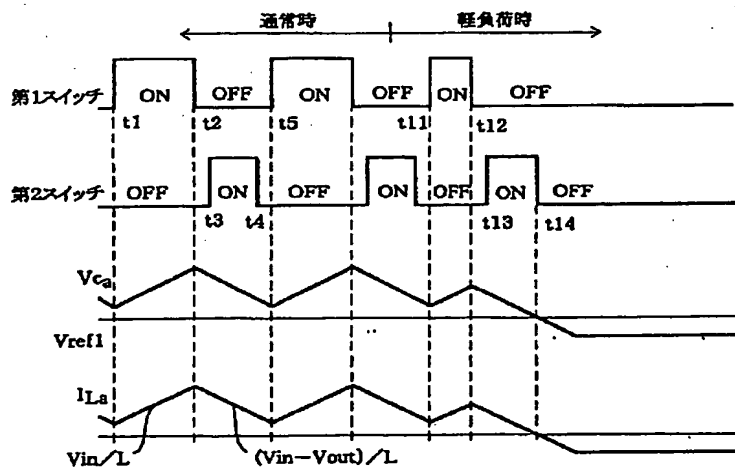
【図11】



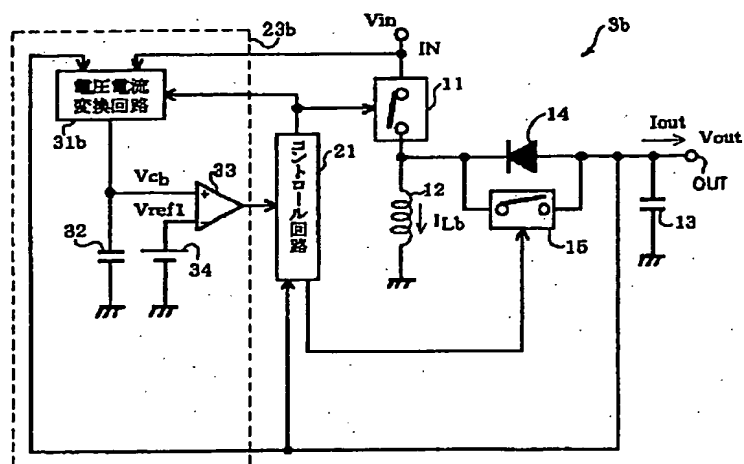
【図12】



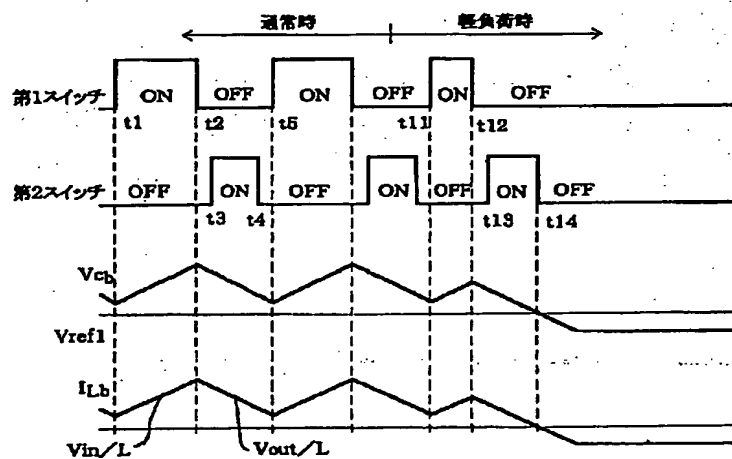
【図13】



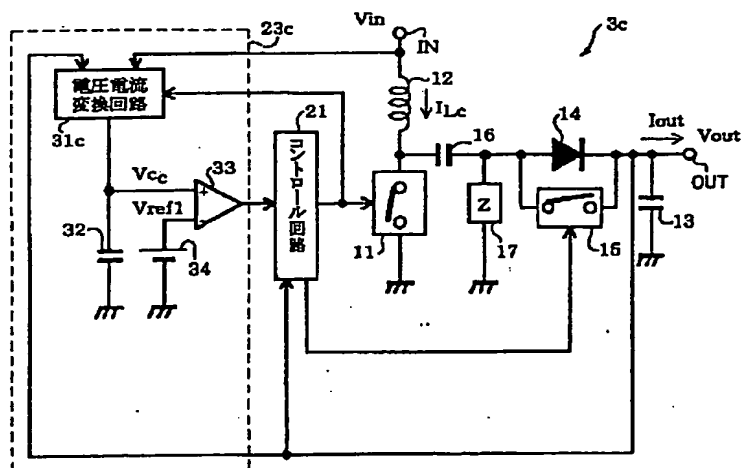
【図14】



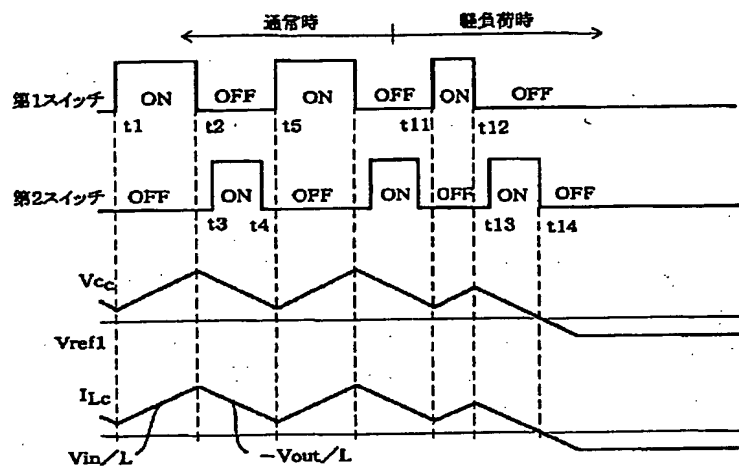
【図15】



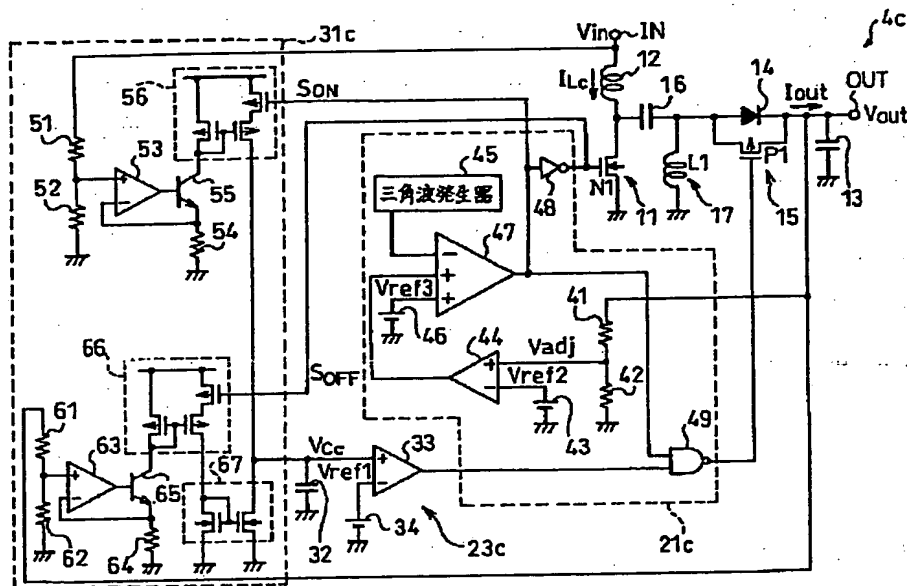
【図16】



【図17】



【図18】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**